

日本国特許庁
JAPAN PATENT OFFICE

17. 5. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月 3日

出願番号
Application Number: 特願2003-346185
[ST. 10/C]: [JP 2003-346185]

出願人
Applicant(s): 松下電器産業株式会社

REC'D 08 JUL 2004

WIPO

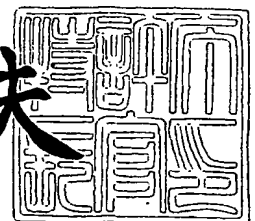
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 6月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 2037650023
【提出日】 平成15年10月 3日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 17/50
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 中 順一
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 岡 浩二
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100081813
 【弁理士】
 【氏名又は名称】 早瀬 憲一
 【電話番号】 06(6395)3251
【手数料の表示】
 【予納台帳番号】 013527
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9600402

【書類名】 特許請求の範囲**【請求項 1】**

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするネットリスト変換方法。

【請求項 2】

請求項 1 に記載のネットリスト変換方法において、

上記ネット抽出ステップは、上記検出対象ネットリスト内のMOSトランジスタを検出するMOSトランジスタ検出ステップと、

上記検出したMOSトランジスタのゲート端子に接続されているネットを検出し、該検出されたネットを上記抽出ネットデータベースに保持するネット検出ステップと、

上記検出対象ネットリスト内の抵抗素子を検出し、該検出された抵抗素子の抵抗素子名を抵抗素子名データベースに保持する抵抗素子検出ステップと、を含む、

ことを特徴とするネットリスト変換方法。

【請求項 3】

請求項 2 に記載のネットリスト変換方法において、

上記MOSトランジスタ検出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“M”であるか否かを検出し、該行の先頭文字が“M”であれば、該行はMOSトランジスタに関し記載するものであると判定する、

ことを特徴とするネットリスト変換方法。

【請求項 4】

請求項 2 に記載のネットリスト変換方法において、

上記ネット検出ステップは、上記MOSトランジスタ検出ステップにより上記MOSトランジスタに関する記載であると判定された行から、該MOSトランジスタのゲート端子に接続されているネットを検出し、

上記行の第 6 文字列のMOSトランジスタのモデル名より、上記MOSトランジスタの閾値を判定し、

上記MOSトランジスタの閾値毎に設けた抽出ネットデータベースの、対応する閾値のデータベースに、上記MOSトランジスタのゲート端子に接続されているネットを保持する、

ことを特徴とするネットリスト変換方法。

【請求項 5】

請求項 2 に記載のネットリスト変換方法において、

上記抵抗素子検出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“R”であるか否かを検出し、該行の先頭文字が“R”であれば、該行は抵抗素子に関し記載するものであると判定し、

上記抵抗素子に関し記載するものであると判定された行の第 1 文字列を、上記抵抗素子の抵抗素子名として抽出し、

該抽出した前記抵抗素子の抵抗素子名を、上記抵抗素子名データベースに保持する、

ことを特徴とするネットリスト変換方法。

【請求項 6】

請求項 2 に記載のネットリスト変換方法において、

上記抵抗挿入ステップは、上記抵抗素子名データベースを検索して、唯一の抵抗素子名であるものとなる新たな抵抗素子名を作成し、

上記作成された新たな抵抗素子名の抵抗素子を、上記閾値の異なるMOSトランジスタ毎に設けた各抽出ネットデータベースに保持されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該保持されているネットと基準電位との間を結ぶように、ネットリストに追加し、

該追加した上記抵抗素子の前記抵抗素子名を、上記抵抗素子名データベースに追加する

ことを特徴とするネットリスト変換方法。

【請求項7】

請求項1に記載のネットリスト変換方法において、

上記ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、

上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された上記抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである、

ことを特徴とするネットリスト変換方法。

【請求項8】

請求項7に記載のネットリスト変換方法において、

上記重複ネット削除ステップは、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを読み込み、

該読み込んだ抽出ネットデータベース内に格納されているネットを辞書順に並び替え、

該並び替えた抽出ネットデータベース内を先頭より検索し、検索対象のネットと等しいネットを削除する、

ことを特徴とするネットリスト変換方法。

【請求項9】

請求項1に記載のネットリスト変換方法において、

上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネット数をカウントするネット数カウントステップを含む、

ことを特徴とするネットリスト変換方法。

【請求項10】

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、

上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含む、

ことを特徴とするネットリスト変換方法。

【請求項11】

請求項10に記載のネットリスト変換方法において、

上記サブサーキット置換えステップにより、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウントステップを含む、

ことを特徴とするネットリスト変換方法。

【請求項12】

請求項10に記載のネットリスト変換方法において、

上記サブサーキット置換えステップは、上記検出対象ネットリスト内のMOSトランジスタを検出し、

該検出したMOSトランジスタに関して記載されている行の第6文字列のMOSトランジスタのモデル名より、該MOSトランジスタの閾値及び種類を判定し、

上記検出したMOSトランジスタの記載を、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置換え、

該置き換えたサブサーキットの行の第1文字列の先頭に“X”を追加すると共に、該行に、上記サブサーキットに置き換える前の上記MOSトランジスタの記載の第2、第3、第4、第5文字列の、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなる接続情報、及び“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”からなるパラメータ情報を記載する、

ことを特徴とするネットリスト変換方法。

【請求項13】

請求項10に記載のネットリスト変換方法において、

上記サブサーキット追加ステップは、上記検出対象ネットリストに上記サブサーキット情報を追加するものであり、

該サブサーキット情報は、上記サブサーキットに置き換えたMOSトランジスタの閾値及び種類に応じたMOSトランジスタと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源との間、及び該MOSトランジスタのゲート端子と基準電圧との間に挿入される抵抗素子と、を含むものである、

ことを特徴とするネットリスト変換方法。

【請求項14】

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、

上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするネットリスト変換方法。

【請求項15】

請求項14に記載のネットリスト変換方法において、

上記サブサーキット検出ステップは、上記検出対象ネットリスト内に含まれる各行の先頭文字が“X”であるか否かを検出し、該行の先頭文字が“X”であれば、該行はサブサーキットに関し記載するものであると判定する、

ことを特徴とするネットリスト変換方法。

【請求項16】

請求項14に記載のネットリスト変換方法において、

上記第1ネット抽出ステップ、及び第2ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、

上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及

び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである、

ことを特徴とするネットリスト変換方法。

【請求項 17】

請求項 16 に記載のネットリスト変換方法において、

上記閾値の異なる MOS トランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該各抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウントステップを含む、

ことを特徴とするネットリスト変換方法。

【請求項 18】

請求項 14 に記載のネットリスト変換方法において、

上記第 2 ネット抽出ステップにより抽出されたサブサーキットと、特定のサブサーキットが登録されているサブサーキットデータベースとを比較する比較ステップを含み、

上記抵抗挿入ステップは、上記閾値の異なる MOS トランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第 1 ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入すると共に、

上記検出対象ネットリスト内の、上記第 2 ネット抽出ステップにより抽出されたサブサーキットのうち、上記比較ステップにおいて上記サブサーキットデータベースに登録されていると判定されたサブサーキットに含まれるネット以外のネットと電源との間、及び該ネットと基準電圧との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

ことを特徴とするネットリスト変換方法。

【請求項 19】

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、

上記検出対象ネットリストから、MOS トランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記 MOS トランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出手段と、

上記閾値の異なる MOS トランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出された MOS トランジスタのゲート端子に接続されているネットと該 MOS トランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入手段と、を備える、

ことを特徴とするネットリスト変換装置。

【請求項 20】

請求項 19 に記載のネットリスト変換装置において、

上記ネット抽出手段により抽出され、上記閾値の異なる MOS トランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除手段を備え、

上記抵抗挿入手段は、上記重複ネット削除手段により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記 MOS トランジスタのゲート端子に接続されているネットと該 MOS トランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

ことを特徴とするネットリスト変換装置。

【請求項 21】

請求項 19 に記載のネットリスト変換装置において、

上記閾値の異なる MOS トランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント手段を備える、

ことを特徴とするネットリスト変換装置。

【請求項 22】

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、

上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換え手段と、

上記検出対象ネットリストに、上記置換ええたサブサーキットのサブサーキット情報を追加するサブサーキット追加手段と、を備える、

ことを特徴とするネットリスト変換装置。

【請求項 23】

請求項 22 に記載のネットリスト変換装置において、

上記サブサーキット置換え手段により、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウント手段を備える、

ことを特徴とするネットリスト変換装置。

【請求項 24】

静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出手段と、

上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出手段と、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出手段及び第2ネット抽出手段において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入手段と、を備える、

ことを特徴とするネットリスト変換装置。

【請求項 25】

請求項 24 に記載のネットリスト変換装置において、

上記第1ネット抽出手段、及び第2ネット抽出手段により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除手段を備え、

上記抵抗挿入手段は、上記重複ネット削除手段により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出手段及び第2ネット抽出手段において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する、

ことを特徴とするネットリスト変換装置。

【請求項 26】

請求項 24 に記載のネットリスト変換装置において、

上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント手段を備える、

ことを特徴とするネットリスト変換装置。

【請求項 27】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 1、請求項 10、または請求項 14 のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を

施し、直流解析結果を得る直流解析ステップと、

上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含む、

ことを特徴とする静止状態リーク電流検出方法。

【請求項 28】

請求項 27 に記載の静止状態リーク電流検出方法において、

上記トランジスタ検索ステップは、上記直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタに流れる電流 $|I_{ds}|$ が、予め設定した電流閾値 I_{th} を超えるか否かを判定し、

上記電流 $|I_{ds}|$ が上記電流閾値 I_{th} を超えるMOSトランジスタを電流リークMOSトランジスタとして、電流リークMOSトランジスタデータベースに保持する、

ことを特徴とする静止状態リーク電流検出方法。

【請求項 29】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 9、請求項 11、または請求項 17 のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、

上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、

上記検出対象ネットリストの全リーク電流を算出する全リーク電流算出ステップと、を含む、

ことを特徴とする静止状態リーク電流検出方法。

【請求項 30】

請求項 29 に記載の静止状態リーク電流検出方法において、

上記全リーク電流算出ステップは、上記直流解析結果、及び抽出ネットデータベース内に含まれるネットの数、あるいはサブサーキットに置き換えられたMOSトランジスタの数を元に、上記MOSトランジスタの閾値毎に決められた電源、及び基準電位間に流れる電流から、 $(\text{置き換えトランジスタ数} * ((\text{電源電圧} - \text{基準電位}) / (\text{挿入抵抗値} * 2)))$ 、もしくは、 $(\text{抽出ネット数} * ((\text{電源電圧} - \text{基準電位}) / (\text{挿入抵抗値} * 2)))$ を減算するものである、

ことを特徴とする静止状態リーク電流検出方法。

【請求項 31】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 1、請求項 10、または請求項 14 のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、

上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含む、

ことを特徴とする静止状態リーク電流検出方法。

【請求項 32】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 19、請求項 22、または請求項 24 のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、

上記ネットリスト変換手段で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析手段と、

上記直流解析手段で得られた直流解析結果を元に、上記検出対象ネットリスト内の、リ

ーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索手段と、を備える、

ことを特徴とする静止状態リーク電流検出装置。

【請求項 33】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 21、請求項 23、または請求項 26 のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、

上記ネットリスト変換手段で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析手段と、

上記直流解析手段で得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索手段と、

上記検出対象ネットリストの全リーク電流を算出する全リーク電流算出手段と、を備える、

ことを特徴とする静止状態リーク電流検出装置。

【請求項 34】

静止状態時のリーク電流の検出対象となるネットリストを、請求項 19、請求項 22、または請求項 24 のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、

上記ネットリスト変換手段で得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成手段と、を備える、

ことを特徴とする静止状態リーク電流検出装置。

【請求項 35】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

上記ネットリスト変換プログラムは、

上記検出対象ネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、

上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、

ことを特徴とするプログラム。

【請求項 36】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

上記ネットリスト変換プログラムは、

上記検出対象ネットリストを指定するネットリスト指定ステップと、

上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、

上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含む、

ことを特徴とするプログラム。

【請求項 37】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、

上記ネットリスト変換プログラムは、
上記検出対象ネットリストを指定するネットリスト指定ステップと、
上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、
上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、
上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含む、
ことを特徴とするプログラム。

【請求項38】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、

上記静止状態リーク電流検出プログラムは、
上記検出対象ネットリストを、請求項1、請求項10、または請求項14のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、
上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、
上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含む、
ことを特徴とするプログラム。

【請求項39】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、

上記静止状態リーク電流検出プログラムは、
上記検出対象ネットリストを、請求項9、請求項11、または請求項17のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、
上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、
上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、
上記検出対象ネットリストの全リーク電流を算出する全リーク電流算出ステップと、を含む、
ことを特徴とするプログラム。

【請求項40】

コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、

上記静止状態リーク電流検出プログラムは、
上記検出対象ネットリストを、請求項1、請求項10、または請求項14のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、
上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタの

リーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含む、
ことを特徴とするプログラム。

【書類名】 明細書

【発明の名称】 ネットリスト変換方法、ネットリスト変換装置、静止状態リーク電流検出方法、及び静止状態リーク電流検出装置

【技術分野】**【0001】**

本発明は、アナログCMOS回路における静止状態のリーク電流検出方法とその装置及び、それにかかるネットリスト変換方法とその装置に関するものである。

【背景技術】**【0002】**

近年、携帯端末などの発達に伴う限られた電力での長時間駆動の必要性、及び地球環境保護の観点より、省エネルギーを実現するための電力削減が不可欠であり、低消費電力のシステムが必要とされている。そのため、システム内の不要な回路をこまめにパワーダウンすることが重要であり、静止状態での消費電力の削減は非常に重要な役割を占めている。特に、アナログCMOS回路においては電力規模が大きいばかりか、静止状態での予期せぬリーク電流が問題となる。

【0003】

LSIにおけるリーク電流の主な発生原因は、論理ゲート回路入力端子やトランジスタのゲート電極の開放状態、あるいはハイインピーダンス状態となっている接点へ入力端子やトランジスタのゲート端子が接続された状態などにより、論理ゲート回路入力端子やトランジスタのゲート端子、あるいは入力端子やトランジスタのゲート端子と、電源電圧－グランド電圧の中間電位とが、浮遊容量・寄生抵抗等によって電氣的に結合され、トランジスタに貫通電流が流れることが挙げられる。

【0004】

そして、このようなリーク電流を検出する方法としては、例えば、CMOS論理ゲートシミュレーションを実施して、ある論理ゲートAに注目し、その論理ゲートAの出力が不定状態であったとき、その論理ゲートAが接続されている後段の論理ゲートBがその不定状態を伝播するか否かを判定することで、その論理ゲートBにおいてリーク電流が発生する可能性があるか否かを判定する手法が提案されている（例えば、特許文献1～特許文献3参照）。

【特許文献1】 特開平7-28879号公報（第5頁、第1-3図）

【特許文献2】 特開2002-163322号公報

【特許文献3】 特開2003-186935号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

しかしながら、上述したようなリーク電流検出方法の多くは、CMOS論理ゲートのみで構成される回路を対象とするものであって、アナログCMOS回路を対象とするものではなかった。そして、アナログCMOS回路におけるリーク電流の検出は、CMOS論理ゲート回路におけるリーク電流の検出ほど容易ではないため、上述したようなリーク電流検出方法を利用できるものではなく、その手法はいまだ確立されていない。

【0006】

現在、静止状態のアナログCMOS回路に対するリーク電流の一般的な検出方法としては、直流解析シミュレーションを実施する手法がとられている。直流解析シミュレーションとは、容量成分を開放し、またインダクタ成分を短絡した静止状態での直流動作点を解析する手法である。具体的に述べると、1)まず対象となる回路に対して静止時の特性を与え、2)直流解析シミュレーションを行った後、3)対象回路内のMOSトランジスタの電流をモニタするものである。

【0007】

ここで、図37(a)に示す回路3701を例に挙げて説明する。

上記回路3701の構成は、オペアンプOp AmpであるOP1と、NchMOSトラ

ンジスタであるMN1と、PchMOSトランジスタであるMP1と、抵抗R1と、電源AVDDとからなっている。

【0008】

より詳細に述べると、OP1の出力Aがネットaを介してMN1のゲート電極に接続され、MN1のソース電極がネットbを介してR1の一方の端子、及びOP1の負極側の入力Nに接続され、MN1のドレイン電極がネットcを介してMP1のドレイン電極、及びMP1のゲート電極に接続され、該MP1のソース電極が電源AVDDに接続されている。そしてR1のもう一方の端子は基準電位GNDに接続され、OP1の正極側の入力Pに参照電圧VREFが接続され、OP1の制御端子Eには、OP1の制御信号ENABLE1が接続されている。また、I1は、電源AVDDからMP1のソース端子、MP1のドレイン端子、ネットc、MN1のドレイン端子、MN1のソース端子、ネットb、R1を介して基準電位に流れる電流である。なお、ENABLE1が“H”の場合、OP1は通常のアンプ動作をし、また、ENABLE1が“L”の場合、OP1はパワーダウンして、該OP1の出力AがHi-Zになるとする。

【0009】

以下、上述した構成の回路3701の動作を説明すると、ENABLE1が“H”で、VREFに適当な電圧が与えられている場合、OP1は通常のアンプ動作し、ネットbの電圧がVREFに、またネットaは、MN1の直流動作点として $I1 = VREF / R1$ となる電流が流れるような電圧となる。つまり、本回路は電圧→電流変換を行うバイアス回路として動作する。一方、ENABLE1が“L”となった場合、OP1はパワーダウンし、OP1の出力AがHi-Zになる。このとき、MN1のゲート端子であるa点の電圧は不定となり、I1にリーク電流が流れる可能性が大きい。

【0010】

しかしながら、上記回路3701に対して一般的なリーク電流検出方法である直流解析シミュレーションを実施する際に、静止時の特性としてENABLE1を“L”として、直流解析シミュレーションを実施しても、多くの場合、OP1の出力AがHi-Zになるとa点は擬似的に基準電位に固定されてしまうため、I1はほとんど電流が流れない状態となり、このような直流解析シミュレーションを実施しても、リーク電流が流れる可能性がある箇所を検出することは非常に困難である。

【0011】

さらに別の例として、図37(b)に示す回路3702を、例に挙げて説明する。

上記回路3702の構成は、TriStateBufferであるTBUF1と、NchMOSトランジスタであるMN2と、PchMOSトランジスタであるMP2と、電源VDDとからなり、MN2及びMP2により、インバータが形成されている。

【0012】

より詳細に述べると、TBUF1の出力OUTがネットdを介してMN2のゲート電極、及びMP2のゲート電極に接続され、MN2のソース電極が基準電位GNDに接続され、MN2のドレイン電極とMP2のドレイン電極とが接続されて出力信号DOUTとなり、MP2のソース電極が電源VDDに接続され、TBUF1の入力端子INに入力信号DINが接続され、TBUF1の制御端子Eには、TBUF1の制御信号ENABLE2が接続されている。また、I2は電源VDDから、MP2のソース端子、MP2のドレイン端子、ネットDOUT、MN2のドレイン端子、MN2のソース端子を介して基準電位に流れる電流、つまり、MN2およびMP2が形成するインバータのリーク電流であるとする。なお、ENABLE2が“H”の場合、TBUF1は通常のバッファ動作を行うため、TBUF1の出力OUTはTBUF1の入力であるDINとなり、また、ENABLE2が“L”の場合、TBUF1の出力OUTがHi-Zになるとする。

【0013】

以下、上述した構成の回路3702の動作を説明すると、ENABLE2が“H”で、DINに適当な信号が与えられている場合、TBUF1の出力OUTは、TBUF1の入力信号DINとなり、MN2及びMP2によって構成されているインバータの入力はDI

Nとなり、この結果インバータの出力となるDOUTはDINの反転出力となる。一般的にインバータは遷移期間のみに電流が流れるため、静止状態ではI2にはほとんど電流が流れない。一方、ENABLE2が“L”となった場合、TBUF1の出力OUTがHi-Zになる。このとき、MN2及びMP2のゲート端子であるd点の電圧は不定となり、I2にリーク電流が流れる可能性が大きい。

【0014】

しかしながら、上記回路3702に対して一般的なリーク電流検出方法である直流解析シミュレーションを実施する際に、ENABLE2を“L”として直流解析シミュレーションを実施しても、多くの場合、TBUF1の出力OUTがHi-Zになるとd点は擬似的に基準電位に固定されてしまうため、I2はほとんど電流が流れない状態となり、リーク電流が流れる可能性がある箇所を検出することは非常に困難である。

【0015】

以上のように、従来の直流解析シミュレーションでは、対象回路内のある回路の出力端子からの出力がHi-Zであり、且つこの出力端子がMOSトランジスタのゲート電極に接続されていて、静止状態にリーク電流が流れる可能性がある場合でも、開放状態となっているトランジスタのゲート電極、論理ゲート回路の入力端子などの電位を擬似的に基準電位GNDに接続してシミュレーションしてしまうため、リーク電流を検出できない可能性が非常に高い。

【0016】

ここで、対象回路のネットリストから、開放状態となっている、MOSトランジスタのゲート端子や論理ゲート回路の入力端子の検索を行い、リーク電流が発生する疑いのあるMOSトランジスタを検出することを考える。その手法としては、まず、対象回路のネットリスト内、つまり回路内に含まれるトランジスタを検出し、該検出されたトランジスタのゲート端子のネット名を抽出し、該抽出されたネット名が上記検出されたトランジスタのゲート端子以外に接続されていない場合に、トランジスタのゲート電極が開放状態となっていてリーク電流が発生する疑いのあるトランジスタであると判断する。しかし上述したような手法では、対象回路が、例えば、図38に示すようなスイッチ回路と、インバータ回路からなる回路である場合には、該スイッチ回路の入出力端子がインバータ回路の入力に接続されることとなり、インバータ回路内のMOSトランジスタのゲート端子からみたときには、MOSトランジスタのゲート端子が開放状態となっているかどうかはわからないため、インバータ回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することは困難である。

【0017】

本発明は、上記課題に鑑みてなされたものであり、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することのできる静止状態リーク電流検出方法とその装置、及び該リーク電流の検出対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出できるように、該検出対象回路のネットリストを変換するネットリスト変換方法とその装置を提供することを目的とする。

【課題を解決するための手段】

【0018】

本発明のネットリスト変換方法は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

【0019】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。

【0020】

さらに、本発明のネットリスト変換方法は、上記ネット抽出ステップが、上記検出対象ネットリスト内のMOSトランジスタを検出するMOSトランジスタ検出ステップと、上記検出したMOSトランジスタのゲート端子に接続されているネットを検出し、該検出されたネットを上記抽出ネットデータベースに保持するネット検出ステップと、上記検出対象ネットリスト内の抵抗素子を検出し、該検出された抵抗素子の抵抗素子名を抵抗素子名データベースに保持する抵抗素子検出ステップと、を含むものである。

これにより、リーク電流検出対象回路内の、静止状態でリーク電流が流れる可能性のあるネットを確実に検出することが可能となる。

【0021】

さらに、本発明のネットリスト変換方法は、上記MOSトランジスタ検出ステップが、上記検出対象ネットリスト内に含まれる各行の先頭文字が“M”であるか否かを検出し、該行の先頭文字が“M”であれば、該行はMOSトランジスタに関し記載するものであると判定するものである。

これにより、リーク電流検出対象回路内の、MOSトランジスタを確実に検出することができる。

【0022】

さらに、本発明のネットリスト変換方法は、上記ネット検出ステップが、上記MOSトランジスタ検出ステップにより上記MOSトランジスタに関する記載であると判定された行から、該MOSトランジスタのゲート端子に接続されているネットを検出し、上記行の第6文字列のMOSトランジスタのモデル名より、上記MOSトランジスタの閾値を判定し、上記MOSトランジスタの閾値毎に設けた抽出ネットデータベースの、対応する閾値のデータベースに、上記MOSトランジスタのゲート端子に接続されているネットを保持するものである。

これにより、リーク電流検出対象回路内の、MOSトランジスタのゲート端子に接続されているネットを確実に検出することができる。

【0023】

さらに、本発明のネットリスト変換方法は、上記抵抗素子検出ステップが、上記検出対象ネットリスト内に含まれる各行の先頭文字が“R”であるか否かを検出し、該行の先頭文字が“R”であれば、該行は抵抗素子に関し記載するものであると判定し、上記抵抗素子に関し記載するものであると判定された行の第1文字列を、上記抵抗素子の抵抗素子名として抽出し、該抽出した前記抵抗素子の抵抗素子名を、上記抵抗素子名データベースに保持するものである。

これにより、リーク電流検出対象回路内に含まれる抵抗素子を確実に検出することができる。

【0024】

さらに、本発明のネットリスト変換方法は、上記抵抗挿入ステップは、上記抵抗素子名データベースを検索して、唯一の抵抗素子名であるものとなる新たな抵抗素子名を作成し、上記作成された新たな抵抗素子名の抵抗素子を、上記閾値の異なるMOSトランジスタ毎に設けた各抽出ネットデータベースに保持されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該保持されているネットと基準電位との間を結ぶように、ネットリストに追加し、該追加した上記抵抗素子の前記抵抗素子名を、上記抵抗素子名データベースに追加するものである。

これにより、リーク電流検出対象回路内の、リーク電流が流れる可能性のある箇所に抵抗素子を挿入することができる。

【0025】

さらに、本発明のネットリスト変換方法は、上記ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除ステップを含み、上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された上記抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、リーク電流検出対象回路内に挿入する抵抗素子の数を必要最低限の数とすることができる。

【0026】

さらに、本発明のネットリスト変換方法は、上記重複ネット削除ステップが、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを読み込み、該読み込んだ抽出ネットデータベース内に格納されているネットを辞書順に並び替え、該並び替えた抽出ネットデータベース内を先頭より検索し、検索対象のネットと等しいネットを削除するものである。

これにより、リーク電流検出対象回路において、ネットリストに抵抗素子を挿入する箇所の重複を防ぐことができる。

【0027】

さらに、本発明のネットリスト変換方法は、上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネット数をカウントするネット数カウントステップを含むものである。

これにより、リーク電流検出対象回路のネットリストから抽出されたネットの数をカウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入されるネットの数を得ることができる。

【0028】

また、本発明のネットリスト変換方法は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含むものである。

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。さらに、上記ネットリスト変換方法で変換された変換後のネットリストは、変換前のネットリストが維持されたまま、該ネットリスト内に抵抗素子が追加されていくので、ネットリスト変換後のネットリストから、上記検出対象回路の構成がわかりやすいという効果もある。

【0029】

さらに、本発明のネットリスト変換方法は、上記サブサーキット置換えステップにより、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウントステップを含むものである。

これにより、リーク電流検出対象回路のネットリスト内の、置き換えられたMOSトランジスタをカウントすることができ、ネットリスト変換処理によって抵抗素子が挿入されたネットの数を得ることができる。

【0030】

さらに、本発明のネットリスト変換方法は、上記サブサーキット置換えステップが、上

記検出対象ネットリスト内のMOSトランジスタを検出し、該検出したMOSトランジスタに関して記載されている行の第6文字列のMOSトランジスタのモデル名より、該MOSトランジスタの閾値及び種類を判定し、上記検出したMOSトランジスタの記載を、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置換え、該置き換えたサブサーキットの行の第1文字列の先頭に“X”を追加すると共に、該行に、上記サブサーキットに置き換える前の上記MOSトランジスタの記載の第2、第3、第4、第5文字列の、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなる接続情報、及び“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”からなるパラメータ情報を記載するものである。

これにより、リーク電流検出対象回路内の、リーク電流が発生する可能性のあるMOSトランジスタを、サブサーキットに置き換えることが可能となる。

【0031】

さらに、本発明のネットリスト変換方法は、上記サブサーキット追加ステップが、上記検出対象ネットリストに上記サブサーキット情報を追加するものであり、該サブサーキット情報は、上記サブサーキットに置き換えたMOSトランジスタの閾値及び種類に応じたMOSトランジスタと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源との間、及び該MOSトランジスタのゲート端子と基準電圧との間に挿入される抵抗素子と、を含むものである。

これにより、リーク電流検出対象回路内の、リーク電流が発生する可能性のある箇所に抵抗素子を挿入することができる。

【0032】

また、本発明のネットリスト変換方法は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

【0033】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。さらに、ネットリストに、サブサーキットが含まれていても、該サブサーキット内のリーク電流が検出される可能性のある箇所を確実に検出することが可能となる。

【0034】

さらに、本発明のネットリスト変換方法は、上記サブサーキット検出ステップが、上記検出対象ネットリスト内に含まれる各行の先頭文字が“X”であるか否かを検出し、該行の先頭文字が“X”であれば、該行はサブサーキットに関し記載するものであると判定するものである。

これにより、リーク電流検出対象回路内の、サブサーキットを確実に検出することができる。

【0035】

さらに、本発明のネットリスト変換方法は、上記第1ネット抽出ステップ、及び第2ネット抽出ステップにより抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複し

ているネットを削除する重複ネット削除ステップを含み、上記抵抗挿入ステップは、上記重複ネット削除ステップにより重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、リーク電流検出対象回路のネットリストにおいて、抵抗素子を挿入する箇所の重複を防ぐことができ、上記リーク電流検出対象回路に挿入する抵抗素子をさらに削減することができる。

【0036】

さらに、本発明のネットリスト変換方法は、上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該各抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウントステップを含むものである。

これにより、リーク電流検出対象回路のネットリストから抽出されたネットの数をカウントして、抵抗素子が挿入されるネットの数を得ることができる。

【0037】

さらに、本発明のネットリスト変換方法は、上記第2ネット抽出ステップにより抽出されたサブサーキットと、特定のサブサーキットが登録されているサブサーキットデータベースとを比較する比較ステップを含み、上記抵抗挿入ステップは、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入すると共に、上記検出対象ネットリスト内の、上記第2ネット抽出ステップにより抽出されたサブサーキットのうち、上記比較ステップにおいて上記サブサーキットデータベースに登録されていると判定されたサブサーキットに含まれるネット以外のネットと電源との間、及び該ネットと基準電圧との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。さらに、予めリーク電流が発生しないことがわかっている信頼性の高いサブサーキット内には、抵抗を挿入する必要がなくなり、上記検出対象回路内に挿入する抵抗素子の数を大幅に削減することができる。

【0038】

また、本発明のネットリスト変換装置は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出手段と、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入手段と、を備えるものである。

【0039】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。

【0040】

さらに、本発明のネットリスト変換装置は、上記ネット抽出手段により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除

手段を備え、上記抵抗挿入手段は、上記重複ネット削除手段により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記MOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

これにより、リーク電流検出対象回路内に挿入する抵抗素子の数を必要最低限の数とすることができる。

【0041】

さらに、本発明のネットリスト変換装置は、上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント手段を備えるものである。

これにより、リーク電流検出対象回路のネットリストから抽出されるネットの数をカウントすることができ、ネットリスト変換処理によって抵抗素子が挿入されるネットの数を導くことができる。

【0042】

また、本発明のネットリスト変換装置は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換え手段と、上記検出対象ネットリストに、上記置換えしたサブサーキットのサブサーキット情報を追加するサブサーキット追加手段と、を備えるものである。

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。さらに、上記ネットリスト変換装置で変換された変換後のネットリストは、変換前のネットリストを維持したまま、該ネットリスト内に抵抗素子が追加されていくので、変換後のネットリストから、該検出対象回路の構成がわかりやすいという効果もある。

【0043】

さらに、本発明のネットリスト変換装置は、上記サブサーキット置換え手段により、上記MOSトランジスタの閾値及び種類に応じたサブサーキットに置換えられたMOSトランジスタの数をカウントする置換えトランジスタ数カウント手段を備えるものである。

これにより、リーク電流検出対象回路のネットリスト内の、置換えられたMOSトランジスタをカウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入されるネットの数を導くことができる。

【0044】

また、本発明のネットリスト変換装置は、静止状態時のリーク電流の検出対象となるネットリストを指定するネットリスト指定手段と、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出手段と、上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出手段と、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出手段及び第2ネット抽出手段において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入手段と、を備えるものである。

【0045】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であって

も、CMOS論理回路であっても、静止状態でリーク電流が流れる可能性のある箇所を確実に検出することが可能となる。また、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。さらに、ネットリストに、サブサーキットが含まれていても、該サブサーキット内のリーク電流が検出される可能性のある箇所を確実に検出することが可能となる。

【0046】

さらに、本発明のネットリスト変換装置は、上記第1ネット抽出手段、及び第2ネット抽出手段により抽出され、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持されたネットのうち、該各抽出ネットデータベース内で重複しているネットを削除する重複ネット削除手段を備え、上記抵抗挿入手段は、上記重複ネット削除手段により重複しているネットが削除された抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出手段及び第2ネット抽出手段において抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入するものである。

【0047】

これにより、リーク電流検出対象回路のネットリストにおいて、抵抗素子を挿入する箇所の重複を防ぐことができ、上記リーク電流検出対象回路に挿入する抵抗素子をさらに削減することができる。

【0048】

さらに、本発明のネットリスト変換装置は、上記閾値の異なるMOSトランジスタ毎に設けた前記抽出ネットデータベースを読み込み、該抽出ネットデータベース毎に、上記抽出ネットデータベース内に含まれるネットの数をカウントするネット数カウント手段を備えるものである。

【0049】

これにより、リーク電流検出対象回路のネットリストから抽出されたネットの数をカウントすることができ、該ネットリスト変換処理によって抵抗素子が挿入されるネットの数を得ることができる。

【0050】

また、本発明の静止状態リーク電流検出方法は、静止状態時のリーク電流の検出対象となるネットリストを、請求項1、請求項10、または請求項14のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含むものである。

【0051】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を容易に検出することができる。

【0052】

さらに、本発明の静止状態リーク電流検出方法は、上記トランジスタ検索ステップは、上記直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタに流れる電流 $|I_{ds}|$ が、予め設定した電流閾値 I_{th} を超えるか否かを判定し、上記電流 $|I_{ds}|$ が上記電流閾値 I_{th} を超えるMOSトランジスタを電流リークMOSトランジスタとして、電流リークMOSトランジスタデータベースに保持するものである。

これにより、静止状態時のリーク電流検出対象回路内の、リーク電流が発生するMOSトランジスタを検出することが可能となる。

【0053】

また、本発明の静止状態リーク電流検出方法は、静止状態時のリーク電流の検出対象と

なるネットリストを、請求項 9、請求項 11、または請求項 17 のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のある MOS トランジスタを検索するトランジスタ検索ステップと、上記検出対象ネットリストの全リーク電流を算出する全リーク電流算出ステップと、を含むものである。

【0054】

これにより、静止状態時のリーク電流検出対象回路が、アナログ CMOS 回路であっても、CMOS 論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を容易に検出することができ、且つ該リーク電流検出対象回路に発生するリーク電流を算出することが可能となる。

【0055】

さらに、本発明の静止状態リーク電流検出方法は、上記全リーク電流算出ステップは、上記直流解析結果、及び抽出ネットデータベース内に含まれるネットの数、あるいはサブサーキットに置き換えられた MOS トランジスタの数を元に、上記 MOS トランジスタの閾値毎に決められた電源、及び基準電位間に流れる電流から、 $(\text{置き換えトランジスタ数} * ((\text{電源電圧} - \text{基準電位}) / (\text{挿入抵抗値} * 2)))$ 、もしくは、 $(\text{抽出ネット数} * ((\text{電源電圧} - \text{基準電位}) / (\text{挿入抵抗値} * 2)))$ を減算するものである。

【0056】

これにより、静止状態時のリーク電流検出対象回路に発生するリーク電流を、抽出ネットデータベース内に含まれるネットの数、あるいはサブサーキットに置き換えられた MOS トランジスタの数を元に算出することが可能となる。

【0057】

また、本発明の静止状態リーク電流検出方法は、静止状態時のリーク電流の検出対象となるネットリストを、請求項 1、請求項 10、または請求項 14 のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内の MOS トランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含むものである。

これにより、静止状態時のリーク電流検出対象回路内の、リーク電流が発生する可能性のある箇所を視覚的に検出することができる。

【0058】

また、本発明の静止状態リーク電流検出装置は、静止状態時のリーク電流の検出対象となるネットリストを、請求項 19、請求項 22、または請求項 24 のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、上記ネットリスト変換手段で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析手段と、上記直流解析手段で得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のある MOS トランジスタを検索するトランジスタ検索手段と、を備えるものである。

【0059】

これにより、静止状態時のリーク電流検出対象回路が、アナログ CMOS 回路であっても、CMOS 論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を容易に検出することができる。

【0060】

また、本発明の静止状態リーク電流検出装置は、静止状態時のリーク電流の検出対象となるネットリストを、請求項 21、請求項 23、または請求項 26 のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、上記ネットリ

スト変換手段で得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析手段と、上記直流解析手段で得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索手段と、上記検出対象ネットリストの全リーク電流を算出する全リーク電流算出手段と、を備えるものである。

【0061】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を容易に検出することができ、さらに、該リーク電流検出対象回路に発生するリーク電流を算出することが可能となる。

【0062】

また、本発明の静止状態リーク電流検出装置は、静止状態時のリーク電流の検出対象となるネットリストを、請求項19、請求項22、または請求項24のいずれかに記載のネットリスト変換装置によりネットリスト変換するネットリスト変換手段と、上記ネットリスト変換手段で得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成手段と、を備えるものである。

これにより、静止状態時のリーク電流検出対象回路内の、リーク電流が発生する可能性のある箇所を視覚的に検出することができる。

【0063】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持するネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

【0064】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態でリーク電流が流れる可能性のある箇所を確実に検出して、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。

【0065】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリスト内のMOSトランジスタを、該MOSトランジスタの閾値及び種類に応じたサブサーキットに置き換えるサブサーキット置換えステップと、上記検出対象ネットリストに、上記置換えしたサブサーキットのサブサーキット情報を追加するサブサーキット追加ステップと、を含むものである。

【0066】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態でリーク電流が流れる可能性のある箇所を確実に検出して、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源ー基準電圧間の電圧に固定することができる。さらに、上記プ

プログラムにより変換された変換後のネットリストは、変換前のネットリストが維持されたまま、該ネットリスト内に抵抗素子が追加されていくので、変換後のネットリストから、上記検出対象回路の回路構成がわかりやすいという効果もある。

【0067】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対してネットリスト変換処理を実行させるためのネットリスト変換プログラムであって、上記ネットリスト変換プログラムは、上記検出対象ネットリストを指定するネットリスト指定ステップと、上記検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持する第1ネット抽出ステップと、上記検出対象ネットリストから、サブサーキットの入力端子に接続されているネットを抽出し、該抽出したネットを、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースに保持する第2ネット抽出ステップと、上記閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記第1ネット抽出ステップ及び第2ネット抽出ステップにおいて抽出されたネットと電源との間、及び該抽出されたネットと基準電位との間に、唯一の抵抗素子名であるものとなる抵抗素子を挿入する抵抗挿入ステップと、を含むものである。

【0068】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、コンピュータにより、静止状態でリーク電流が流れる可能性のある箇所を確実に検出して、該リーク電流が流れる可能性のあるMOSトランジスタのゲート端子を、電源-基準電圧間の電圧に固定することができる。さらに、上記対象回路のネットリストに、サブサーキットが含まれていても、コンピュータにより、該サブサーキット内のリーク電流が検出される可能性のある箇所を確実に検出することが可能となる。

【0069】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、上記静止状態リーク電流検出プログラムは、上記検出対象ネットリストを、請求項1、請求項10、または請求項14のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、を含むものである。

【0070】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を、コンピュータにより容易に検出することができる。

【0071】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、上記静止状態リーク電流検出プログラムは、上記検出対象ネットリストを、請求項9、請求項11、または請求項17のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、直流解析結果を得る直流解析ステップと、上記直流解析ステップにより得られた直流解析結果を元に、上記検出対象ネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するトランジスタ検索ステップと、上記検出対象ネットリストの全リーク電流を

算出する全リーク電流算出ステップと、を含むものである。

【0072】

これにより、静止状態時のリーク電流検出対象回路が、アナログCMOS回路であっても、CMOS論理回路であっても、静止状態リーク電流検出する際に、通常の直流解析では検出が困難であったリーク電流が発生する可能性のある箇所を、コンピュータにより容易に検出すると共に、該リーク電流検出対象回路に発生するリーク電流を、コンピュータにより算出することが可能となる。

【0073】

また、本発明のプログラムは、コンピュータに、静止状態時のリーク電流の検出対象となるネットリストに対して静止状態リーク電流検出処理を実行させるための静止状態リーク電流検出プログラムであって、上記静止状態リーク電流検出プログラムは、上記検出対象ネットリストを、請求項1、請求項10、または請求項14のいずれかに記載のネットリスト変換方法で、ネットリスト変換するネットリスト変換ステップと、上記ネットリスト変換ステップにより得られる変換後ネットリストに対して直流解析を施し、得られた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成するヒストグラム作成ステップと、を含むものである。

【0074】

これにより、コンピュータで、静止状態時のリーク電流検出対象回路内に発生するリーク電流に関するヒストグラムを作成することができ、該リーク電流検出対象回路内の、リーク電流が発生する可能性のある箇所を視覚的に検出することができる。

【発明の効果】

【0075】

本発明のネットリスト変換方法、及び装置によれば、静止状態時のリーク電流の検出対象となるネットリストを指定し、該指定された検出対象ネットリストから、MOSトランジスタのゲート端子に接続されているネットを抽出し、該抽出したネットを、閾値の異なる上記MOSトランジスタ毎に設けた抽出ネットデータベースに保持し、該抽出ネットデータベースを元に、上記検出対象ネットリスト内の、上記抽出されたMOSトランジスタのゲート端子に接続されているネットと該MOSトランジスタの閾値毎に決められた電源との間、及び該抽出されたネットと基準電位との間に、抵抗素子を挿入する抵抗挿入するようにしたので、該リーク電流検出対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間にプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源-基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することを可能とする。

【0076】

また、本発明のネットリスト変換方法、及び装置によれば、ネット抽出手段により、リーク電流検出対象回路のネットリストからMOSトランジスタを検出して、該MOSトランジスタのゲート端子に接続されているネットを抽出し、重複ネット削除手段で、上記ネット抽出手段により抽出されたネットのうち、重複しているネットを削除した上で、該ネットに抵抗を挿入するようにしたので、上記検出対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することができると共に、ネットリストに追加する抵抗素子数を必要最低限の数にすることができ、後述する静止状態リーク電流検出装置における解析時間を短縮することが可能となる。

【0077】

また、本発明のネットリスト変換方法、及び装置によれば、抽出ネット数カウント手段

により、上記ネット抽出手段により抽出されたネットの数をカウントするようにしたので、抵抗挿入手段で抵抗素子が挿入されるネット数を得ることができるため、後述するリーク電流検出装置において、全リーク電流の算出を実現することが可能となる。

【0078】

また、本発明のネットリスト変換方法、及び装置によれば、静止状態時のリーク電流の検出対象となるネットリストを指定し、該指定された検出対象ネットリスト内のMOSトランジスタを、閾値及び種類の異なるMOSトランジスタ毎に異なったサブサーキットに置き換え、上記検出対象ネットリストに、上記置き換えたサブサーキットのサブサーキット情報を追加するサブサーキット追加するようにしたので、該検出対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記MOSトランジスタの代わりに置き換えたサブサーキットに含まれる抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間でプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。さらに、MOSトランジスタのゲート端子に直接抵抗を挿入するのではなく、該MOSトランジスタを、抵抗を含むサブサーキットに置換えるようにしたので、変換後のネットリストがみやすく、該変換後ネットリストから回路構成がわかりやすいという効果がある。

【0079】

また、本発明のネットリスト変換方法、及び装置によれば、リーク電流検出対象回路内のあらかじめリーク電流が発生する疑いがない回路をサブサーキットデータベースに保持しておき、抵抗挿入手段により抵抗を挿入する際には、該サブサーキットデータベースに保持されたサブサーキット内には抵抗を挿入しないようにしたので、対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出できると共に、上記サブサーキットデータベースに含まれるネットに関しては、そのサブサーキットの入力端子に接続されるネットのみが抵抗素子挿入の対象となるため、ネットリストに挿入される抵抗素子の数を大幅に少なくすることが可能となり、これにより、後述する静止状態リーク電流検出装置における解析時間を、より短縮することが可能となる。

【0080】

また、本発明の静止状態リーク電流検出方法、及び装置によれば、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する疑いのある箇所に抵抗を挿入するネットリスト変換処理を行った上で、MOSトランジスタの電流をモニタし、該対象回路のネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索するようにしたので、静止状態リーク電流検出対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、通常の直流解析では検出が困難な、リーク電流が発生する可能性のある箇所を、容易に検出することが可能となる。

【0081】

また、本発明の静止状態リーク電流検出方法、及び装置によれば、静止状態時のリーク電流の検出対象となるネットリストの、リーク電流が発生する可能性のある箇所に抵抗を挿入するネットリスト変換を行い、該ネットリスト変換で得られる変換後ネットリストに対して直流解析を施して直流解析結果を得、該直流解析結果を元に、上記対象回路のネットリスト内の、リーク電流が発生する可能性のあるMOSトランジスタを検索し、全リーク電流を算出するようにしたので、静止状態リーク電流検出対象回路のネットリスト内に発生するリーク電流を算出することが可能となる。

【0082】

また、本発明の静止状態リーク電流検出方法、及び装置によれば、静止状態時のリーク電流の検出対象となるネットリストの、リーク電流が発生する可能性のある箇所に抵抗を挿入するネットリスト変換を行い、該変換後ネットリストに対して直流解析を施して得ら

れた直流解析結果を元に、該検出対象ネットリスト内のMOSトランジスタのリーク電流 $|I_{ds}|$ に関するヒストグラムを作成して、MOSトランジスタの $|IDS|$ を、 $|IDS|$ ヒストグラムにより表すようにしたので、リーク電流が発生する可能性のある箇所を視覚的に検出することが可能となる。

【発明を実施するための最良の形態】

【0083】

本発明においては、対象回路のネットリストを変換し、該変換後のネットリストに対して直流解析シミュレーションを実施することにより、該対象回路の静止状態リーク電流を検出する。従って、以下に示す実施の形態では、まずネットリスト変換装置について図面を参照しながら説明した後、該各ネットリスト変換装置を用いた静止状態リーク電流検出装置について説明する。なお、以下の説明に記載されているネットリストはSPICE形式のネットリストであるとして説明を行う。

【0084】

(実施の形態1)

以下、図1～図6を用いて、本発明の実施の形態1におけるネットリスト変換装置について説明する。

まず、図1を用いて、本実施の形態1に係るネットリスト変換装置の構成について説明する。図1は、本実施の形態1におけるネットリスト変換装置の構成を示す図である。

【0085】

図1において、ネットリスト変換装置10は、ネットリスト指定部11と、ネット抽出部12と、抵抗挿入部13と、メモリ17とからなるものである。

より詳細に述べると、上記ネットリスト指定部11は、ネットリストデータベース14に予め保持されているネットリストから、静止状態時のリーク電流検出対象となる、ネットリストの変換対象回路のネットリストを指定するものであり、上記ネット抽出部12は、上記ネットリスト指定部11により指定されたネットリストをネットリストデータベース14より読出し、該読出したネットリストからMOSトランジスタのゲート端子に接続されているネットと、該ネットリスト内にある抵抗の抵抗素子名とを抽出するものであり、上記抵抗挿入部13は、上記ネット抽出部12によりネットリスト内から抽出されたMOSトランジスタのゲート端子に接続されているネットと、該MOSトランジスタの閾値毎に決められた電源との間、及び上記ネット抽出部12により抽出されたMOSトランジスタのゲート端子に接続されているネットと基準電位との間に、抵抗素子を挿入するものである。そして、上記メモリ17は、対象回路のネットリストを保持するネットリストデータベース14と、上記ネット抽出部12により抽出されたMOSトランジスタのゲート端子に接続されているネットを、該抽出されたMOSトランジスタの閾値毎に保持する抽出ネットデータベース15と、上記ネット抽出部12により抽出された抵抗素子名を保持する抵抗素子名データベース16とを含むものである。

【0086】

次に、図2～図6を用いて、上述した構成を有する本実施の形態1のネットリスト変換装置10の動作について説明する。なおここでは、上述した図37(a)、(b)の両回路の静止状態リーク電流を検出するため、これらの回路のネットリストを変換する場合を例に挙げて説明する。

【0087】

図2は、本実施の形態1にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、図3は、図2に示すネットリスト変換処理内の、ネット抽出処理の詳細な流れを示す図であり、図4は、図2に示すネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。そして、図5(a)は、本実施の形態1にかかるネットリスト変換装置によって、ネットリスト変換される対象回路(ここでは、図37(a)、(b)に示す回路)のネットリストを示す図であり、図5(b)は、本実施の形態1にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、図5(c)は、本実施の形態1にかかるネット

リスト変換装置において、図5(a)に示すネットリストをネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースを示す図であり、図6は、図5(c)に示す変換後ネットリストの回路図である。

【0088】

まず、ユーザは、ネットリスト指定部11により、静止状態時のリーク電流を検出する対象となるネットリストを指定する(ステップS110)。

次に、ネット抽出部12において、図5(a)に示すネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理を行う(ステップS120)。

【0089】

以下、上記ネット抽出処理について詳細に述べると、まず、ネットリスト指定部11で指定された、図5(a)のネットリストを、先頭行より1行ずつ順次読み込みを行う(ステップS121)。なお、ネットリスト内において、1素子の記述が複数行にわたって記述される場合があるが、この場合、次行の先頭文字が“+”で始まっているか否かを判定し、次行の先頭文字が“+”で始まっている場合、読み込んだ行と次行を順次結合することで同機能を得ることができる。

【0090】

次に、読み込んだ行が、MOSトランジスタに関する記述か否かを判定する(ステップS122)。ここでは、読み込んだ行の先頭文字が“M”で始まっているか否かを判定することで、読み込んだ行がMOSトランジスタであるか否かを判定する。すなわち、読み込んだ行の先頭文字が“M”で始まっていれば、MOSトランジスタに関する記述であると判定して、次のステップS123を実施し、そうでないと判定された場合、ステップS124を実施する。

【0091】

そして、読み込んだ行の先頭文字が“M”で始まっていて、MOSトランジスタであると判定された場合、該読み込んだ行の第6文字列、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。ここで、MOSトランジスタの閾値を判定する理由は、近年のMOSトランジスタが、1つのプロセス上に数種類もの耐圧を持つ、つまり1つのプロセス上に数種類の閾値を持つMOSトランジスタを形成しているため、該ネットリスト内のMOSトランジスタ毎に、該MOSトランジスタの閾値に応じた電源電圧を供給する必要があるからである。そして、このようにして、読み込んだ行のMOSトランジスタの閾値を判定した後、今度はその同じ行の第3文字列、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、この検出したネットを、抽出ネットデータベース15の、上記MOSトランジスタの閾値毎に設けられている抽出ネットデータベース151～152のうち、対応する抽出ネットデータベースに追加する(ステップS123)。

【0092】

そして、読み込んだ行が、抵抗素子に関する記述か否かを判定する(ステップS124)。ここでは、読み込んだ行の先頭文字が“R”で始まっているか否かを判定することで、読み込んだ行が抵抗素子であるか否かを判定する。すなわち、読み込んだ行の先頭文字が“R”で始まっていれば、抵抗素子に関する記述であると判定して、次のステップS125を実施し、そうでないと判定された場合、ステップS126を実施する。

【0093】

読み込んだ行の先頭文字が“R”で始まっていて、抵抗素子であると判定された場合、該抵抗素子名を抵抗素子名データベース16に追加する(ステップS125)。

この後、読み込んだ行が最終行か否かを判定し(ステップS126)、最終行であれば処理を終了し、そうでなければステップS121に戻って、上述した処理を繰り返す。

【0094】

このような処理を行うことにより、図5(a)に示すネットリストから、図5(b)に示すような抽出ネットデータベース15、及び抵抗素子名データベース16が得られる。

なお、ここでは、ネットリスト内のMOSトランジスタには、閾値がAVDDとVDDの2種類あるため、抽出ネットデータベース15には、閾値AVDDの抽出ネットデータベース151と、閾値VDDの抽出ネットデータベース152とが存在する。

【0095】

上述したように、上記ネット抽出処理S120において、読み込んだ行が最終行であると判定され場合、上記ネット抽出処理において抽出したネットと電源電圧間、及び該抽出したネットと基準電位間とを結ぶ抵抗素子を、上記ネットリストに挿入する抵抗挿入処理に移行する（ステップS130）。

【0096】

以下、上記抵抗挿入処理について詳細に述べると、上記ネット抽出部12により、MOSトランジスタの閾値毎に抽出された抽出ネットデータベース15に保存されている全てのネットと、MOSトランジスタの閾値毎に決められた電源間、及び上記抽出ネットデータベース15に保存されている全てのネットと基準電位間に、抵抗を挿入する（ステップS131）。このとき、挿入する抵抗素子名は、抵抗素子名データベース16内を検索し、唯一の抵抗素子名となるようにする。例えば、抵抗素子名データベース16内を辞書順に並べたとき最も大きい（辞書の最終ページに近い）抵抗素子名の末尾に数字の“000”を追加し、抵抗素子を追加する度に上記抵抗素子名に対して“1”ずつインクリメントすることで、唯一の抵抗素子名を得るようにする。そして、この挿入した抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。これを繰り返すことにより、ネットリストを変換する。なお、ネットリストに挿入する抵抗は他の回路の動作に支障をきたさない程度の高抵抗（数GΩ～数百TΩ程度）を挿入する。

【0097】

このような処理を行うことにより、図5（a）のネットリストから、図5（c）に示す変換後のネットリスト18と、ネットリストに追加された抵抗が追加された抵抗素子名データベース16'が得られる。

【0098】

次に、図5に示すネットリストの例を用いて、本実施の形態1にかかるネットリスト変換装置の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、図5（a）に示すネットリストを指定する。次に、ネット抽出部12により、ネットリストから、変換対象であるネットを抽出する。この際、ネット抽出部12は、図5（a）に示すネットリストの先頭行より1行ずつ順次読み込みを行う。そして、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（図5（a）の下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。図5（a）においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

【0099】

そして、読み込んだ行の第6文字列（図5（a）の太字下線部）、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。図5（a）においては、pchhvt、nchhvtであれば、閾値の高い（HVT）MOSトランジスタ、pchlv t、nchlv tであれば、閾値の低い（LVT）MOSトランジスタであると判定する。

【0100】

同時に、その読み込んだ行の第3文字列（図5（a）の1、2、6、7、11、12、17、18行目太字下線斜字体部）、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース15に追加する。図5（a）のネットリストの、HVTMOSトランジスタに関しては、図5（b）中の抽出ネットデータベース：AVDD151が、また、図5（a）のネットリストの、LVTMOSトランジスタに関しては、図5（b）中の抽出ネットデータベース：VDD152が、それぞれ相当する。なお、図5（b）中に記載されているセミコロンの後の文字列は、ネットリスト内の階層構造を示している。

【0101】

次に、読み込んだ行の先頭文字が“R”で始まっているか否かを判定し（図5（a）の3行目下線部）、読み込んだ行が抵抗素子に関する記述か否かを判定する。図5（a）のネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。

【0102】

そして、読み込んだ行の第1文字列（図5（a）の3行目太字下線斜字体部）、つまり抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。図5（a）においては、図5（b）中の抵抗素子名データベース16がそれに相当する。

【0103】

図5（a）のネットリストを最終行まで読み込んだら、抵抗挿入部13により、上記ネット抽出部12で抽出したネットと電源電圧間、及びネット抽出部12で抽出したネットと基準電位間を結ぶ抵抗素子を、ネットリストに挿入する。図5（b）に示されている、抽出ネットデータベース：AVDD151の例では、データベースに登録されているネットと電源AVDD間、及びデータベースに登録されているネットと基準電位間、また、抽出ネットデータベース：VDD152の例では、データベースに登録されているネットと電源VDD間、及びデータベースに登録されているネットと基準電位間に、それぞれ抵抗素子を挿入することになる。すなわち、図5（c）の14～17、24～27、30～37行目がネットリストに挿入された抵抗素子に相当する。このとき、挿入する抵抗素子名は、抵抗素子名データベース16内を検索し、唯一の抵抗素子名とする。また、ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベース16に追加していく（図5（c）の抵抗素子名データベース16'）。これを繰り返すことにより、対象回路のネットリストを変換していく。

【0104】

このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、図6の回路3711、3712に示すものとなる。なお、図6では、図を簡略化するため、OP1、及びTBUF1内に挿入される抵抗は図示していないが、実際にはOP1、及びTBUF1それぞれに、ROP000～ROP003、及びRTBUF000～RTBUF003の各々4つの抵抗が挿入されることとなる。

【0105】

以上のように、本実施の形態1によれば、変換対象である回路のMOSトランジスタのゲート端子に抵抗を挿入するようネットリストを変換するようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間にプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することを可能とする。

【0106】

また、本実施の形態1によれば、ネットリストからMOSトランジスタを検出し、該MOSトランジスタのゲート端子に接続されているネットを抽出して、該ネットに抵抗を挿入するようにしたので、対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、この結果、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することができる。

【0107】

（実施の形態2）

以下、図7～図11を用いて、本実施の形態2にかかるネットリスト変換装置について説明する。

上記実施の形態1においては、ネット抽出部で、対象回路のネットリストからリーク電流が発生する可能性のあるMOSトランジスタのゲート端子を全て抽出し、抵抗挿入部にて、該抽出したネットと電源電圧間、及び抽出したネットと基準電位間を結ぶように抵抗を挿入するようにしたが、本実施の形態2においては、さらに重複ネット削除部を設け、上記ネット抽出部において抽出されたネットのうち、重複するものは削除するようにするものである。

【0108】

まず、図7を用いて、本実施の形態2に係るネットリスト変換装置の構成について説明する。図7は、本実施の形態2におけるネットリスト変換装置の構成を示す図である。

図7において、ネットリスト変換装置20は、ネットリスト指定部11と、ネット抽出部12と、抵抗挿入部13と、重複ネット削除部21と、ネットリストデータベース14、抽出ネットデータベース25、及び抵抗素子名データベース27を含むメモリ27と、からなるものである。より詳細に述べると、上記重複ネット削除部21は、上記ネット抽出部12において抽出されたネットのうち、重複しているネットを削除し、新たな抽出ネットデータベース25を出力する重複ネット削除部である。なお、そのほかの構成は、上記実施の形態1と同様であるため、ここでは説明を省略する。

【0109】

次に、図8～図11を用いて、上述した構成を有する本実施の形態2のネットリスト変換装置20の動作について説明する。なおここでは、上述した図37(a)，(b)の両回路のネットリスト(図5(a))を変換する場合を例に挙げて説明する。

【0110】

図8は、本実施の形態2にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、図9は、図8に示すネットリスト変換処理の、重複ネット削除処理の詳細な流れを示す図である。そして、図10(a)は、本実施の形態2にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、図10(b)は、本実施の形態2にかかるネットリスト変換装置において、図5(a)に示すネットリストをネットリスト変換処理した変換後ネットリストと、ネットリスト変換処理後の抵抗素子名データベースの内容を示す図であり、図11は、図10(c)に示す変換後ネットリストの回路図である。

【0111】

まず、ユーザは、ネットリスト指定部11により、静止状態時のリーク電流を検出する対象となるネットリストを指定する(ステップS110)。

次に、ネット抽出部12において、図5(a)に示すネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理を行う(ステップS120)。この処理の詳細については、上記実施の形態1において述べたものと同様であるため、ここでは説明を省略する。

そして、この後、重複ネット削除部21で、抽出ネットデータベース25の重複ネットを削除する(ステップS210)。

【0112】

以下、上記重複ネット削除処理について詳細に述べると、まず、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25から、上記抽出ネット部12により抽出されたネットを順次読み込む(ステップS211)。次に、上記抽出ネットデータベース25を辞書順に並び替え、そして辞書順に並び替えられた前記抽出ネットデータベースの先頭行より検索を行い、検索対象となっている行が前後の行と重複するネットがあればこれを削除する(ステップS212)。以上のような抽出ネットデータベースの検索が終了したら、抽出ネットデータベース25の重複ネットを削除した新たな抽出ネットデータベース25'を出力するものである。

【0113】

そして、上記重複ネット削除部21において重複ネットが削除され、新たな抽出ネットデータベース25'が出力された後、該重複ネットが削除された抽出ネットと電源電圧間

、及び該重複ネットが削除された抽出ネットと基準電位間とを結ぶ抵抗素子を、上記ネットリストに挿入する抵抗挿入処理を行う（ステップS130）。この処理の詳細については、上記実施の形態1において述べたものと同様であるため、ここでは説明を省略する。

【0114】

このような処理を行うことにより、図5（a）のネットリストから、図10（c）に示す変換後のネットリスト28と、ネットリストに追加された抵抗が追加された抵抗素子名データベース26'が得られる。

【0115】

次に、図5（a）及び図10に示すネットリストの例を用いて、本実施の形態2にかかるネットリスト変換装置の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部11により、図5（a）に示すネットリストを指定する。次に、ネット抽出部12において、ネットリストから、変換対象であるネットを抽出する。この際、ネット抽出部12は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（図5（a）下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。図5（a）においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

【0116】

そして、読み込んだ行の第6文字列（図5（a）1、2、6、7、11、12、17、18行目太字下線部）、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。図5（a）においては、pchhvt、nchhvtであれば、閾値の高い（HVT）MOSトランジスタ、pchlv t、nchlv tであれば、閾値の低い（LVT）MOSトランジスタであると判定する。

【0117】

同時に、その読み込んだ行の第3文字列（図5（a）の1、2、6、7、11、12、17、18行目太字下線斜字体部）、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース25に追加する。図5（a）のネットリストの、HVTMOSトランジスタに関しては、図10（a）中の抽出ネットデータベース：AVDD251が、LVTMOSトランジスタに関しては、抽出ネットデータベース：VDD252が、それぞれ相当する。なお、図10（a）中に記載されているセミコロン後の文字列は、ネットリスト内の階層構造を示している。

【0118】

次に、読み込んだ行の先頭文字が“R”で始まっているか否かを判定し（図5（a）の3行目下線部）、読み込んだ行が抵抗素子に関する記述か否かを判定する。図5（a）のネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。

【0119】

そして、読み込んだ行の第1文字列（図5（a）の3行目太字下線斜字体部）、つまり抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。図5（a）においては、図10（a）中の抵抗素子名データベース26がそれに相当する。

【0120】

図5（a）のネットリストを最終行まで読み込んだら、重複ネット削除部21にて、抽出ネットデータベース25中の閾値毎の抽出ネットデータベース251、252を順次読み込み、まず辞書順に並び替えた後、重複ネットを削除する。例えば、図10（a）の抽出ネットリストデータ25では、抽出ネットデータベース：VDD252中のネットdが重複しているため、この重複が解消される。重複ネットを削除した後、新たな抽出ネットデータベース25'を得る。重複ネット削除後の、それぞれの抽出ネットデータベースは、図10（b）に示す抽出ネットデータベース：AVDD251'、及び抽出ネットデータベース：VDD252'がそれぞれ相当する。

【0121】

この後、抵抗挿入部13にて、重複ネット削除後の抽出ネットと電源電圧間、及び該重

複ネット削除後の抽出ネットと基準電位間を結ぶ抵抗素子を、ネットリストに挿入する。例えば、図10(c)の14~17、24~27、30~35行目が、ネットリストに挿入された抵抗素子に相当する。このとき、挿入する抵抗素子名は、抵抗素子名データベース26内を検索し、唯一の抵抗素子名とする。また、ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベース26に追加していく(図10(c)の抵抗素子名データベース26')。これを繰り返すことにより、対象回路のネットリストを変換していく。

【0122】

このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、図11の回路3721、3722に示すものとなる。図11から明らかなように、本実施の形態2にかかるネットリスト変換装置20によるネットリスト変換処理では、回路3722に挿入される抵抗の数が、上記実施の形態1のネットリスト変換装置10によるネットリスト変換処理によるもの(図6の回路3712参照)より削減される。なお、図11では、図を簡略化するため、OP1、及びTBUF1内に挿入される抵抗は図示していないが、実際にはOP1、及びTBUF1それぞれに、ROP000~ROP003、及びRTBUF000~RTBUF003の各々4つの抵抗が挿入されることとなる。

【0123】

以上のように、実施の形態2によれば、変換対象である回路のMOSトランジスタのゲート端子に抵抗を挿入するようネットリストを変換するようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間で、プルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源-基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することを可能とする。

【0124】

さらに、本実施の形態2によれば、ネット抽出部12において、ネットリストからMOSトランジスタを検出して、該MOSトランジスタのゲート端子に接続されているネットを抽出し、重複ネット削除部21において、抽出されたネットのうち、重複しているネットを削除した上で、該ネットに抵抗を挿入するようにしたので、対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することができると共に、ネットリストに追加する抵抗素子数を必要最低限の数にすることができ、これにより、後述する静止状態リーク電流検出装置における解析時間を短縮することが可能となる。

【0125】

なお、本実施の形態2においては、上記ネット抽出部12がネットリストからMOSトランジスタのゲート端子が接続されているネットを抽出して抽出ネットデータベース25に保持した後、重複ネット削除部21により、該抽出ネットデータベース25を読み出して重複したネットを削除するものとして説明したが、抽出ネット部12においてMOSトランジスタのゲート端子に接続されたネットを抽出する際に、同時に重複ネット削除部において、該抽出されたネットが上記抽出ネットデータベース25に保持されているネットと重複するか否かを判断し、重複しない場合は抽出ネットデータベース25に保持し、重複する場合は削除していくようにすれば、ネット変換処理にかかる処理時間を削減することができる。

【0126】

(実施の形態3)

以下、図12~図15を用いて、本実施の形態3にかかるネットリスト変換装置につい

て説明する。

上記実施の形態2においては、ネット抽出部で、対象回路のネットリストからリーク電流が発生する可能性のあるMOSトランジスタのゲート端子を抽出し、重複ネット削除部にて、該抽出したネットのうち重複するネットを削除した後、抵抗挿入部で、該ネットと電源電圧間、及び該ネットと基準電位間を結ぶように抵抗を挿入するようにしたが、本実施の形態3においては、さらに抽出ネット数カウント部を設け、上記重複ネット削除部において重複ネットを削除後の抽出ネット数をカウントするようにしたものである。

【0127】

まず、図12を用いて、本実施の形態3に係るネットリスト変換装置の構成について説明する。図12は、本実施の形態3におけるネットリスト変換装置の構成を示す図である。

【0128】

図12において、ネットリスト変換装置30は、ネットリスト指定部11と、ネット抽出部12と、重複ネット削除部21と、抽出ネット数カウント部31と、抵抗挿入部13と、ネットリストデータベース14、抽出ネットデータベース25、抵抗素子名データベース26、及び抽出ネット数保持部32を含むメモリ37と、からなるものである。

【0129】

より詳細に述べると、上記抽出ネット数カウント部31は、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25を読み込んで、上記重複ネット削除部21において削除された後の抽出ネット数をカウントするものであり、上記メモリ37内の抽出ネット数保持部32は、該抽出ネット数カウント部31においてカウントされた抽出ネット数を保持するものである。なお、そのほかの構成は、上記実施の形態2と同様であるため、ここでは説明を省略する。

【0130】

次に、図13～図15を用いて、上述した構成を有する本実施の形態3のネットリスト変換装置30の動作について説明する。なおここでは、上述した図37(a)、(b)の両回路のネットリスト(図5(a))を変換する場合を例に挙げて説明する。

【0131】

図13は、本実施の形態3にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、図14は、図13に示すネットリスト変換処理の、抽出ネット数カウント処理の詳細な流れを示す図である。そして、図15は、本実施の形態3にかかるネットリスト変換装置の抽出ネット数カウント部31で抽出される、抽出ネット数保持部32に保持される内容を示す図である。

【0132】

まず、ユーザは、ネットリスト指定部11により、静止状態時のリーク電流を検出する対象となるネットリストを指定する(ステップS110)。

次に、ネット抽出部12において、図5(a)に示すネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理を行う(ステップS120)。この処理の詳細については、上記実施の形態1において述べたものと同様であるため、ここでは説明を省略する。

【0133】

そして、重複ネット削除部21で、抽出ネットデータベース25を読み出し、重複ネットを削除して、その削除後の抽出ネットを、抽出ネットデータベース25に再度出力する(ステップS210)。この処理の詳細については、上記実施の形態2において述べたものと同様であるため、ここでは説明を省略する。

【0134】

そして、この後、抽出ネット数カウント部31で、抽出ネットデータベース25を読み出し、重複ネット削除部21において重複ネットが削除された後のネット数をカウントする(ステップS310)。

【0135】

以下、上記抽出ネット数カウント処理について詳細に述べると、まず、MOSトランジスタの閾値毎に設けられた抽出ネットデータベース25を順次先頭行より読み込み、その各抽出ネットデータベース毎の抽出ネット数をカウントし、メモリ37内の抽出ネット数保持部32に、MOSトランジスタの閾値毎に保持するものである（ステップS311）。

【0136】

そして、上記抽出ネット数カウント部31により、重複ネットが削除された抽出ネット数をカウントして、その値をMOSトランジスタの閾値毎に保持した後、該重複ネットが削除された抽出ネットと電源電圧間、及び該重複ネットが削除された抽出ネットと基準電位間とを結ぶ抵抗素子を、上記ネットリストに挿入する抵抗挿入処理を行う（ステップS130）。この処理の詳細については、上記実施の形態1において述べたものと同様であるため、ここでは説明を省略する。

【0137】

このような処理を行うことにより、図5（a）のネットリストから、図10（c）に示す変換後のネットリスト28と、ネットリストに追加された抵抗が追加された抵抗素子名データベース26'が得られる。

【0138】

次に、図5（a）、図10、及び図15に示すネットリストの例を用いて、本実施の形態2にかかるネットリスト変換装置の動作について更に詳しく説明する。

【0139】

まず、ユーザは、ネットリスト指定部11により、図5（a）に示すネットリストを指定する。次に、ネット抽出部12において、ネットリストから、変換対象であるネットを抽出する。この際、ネット抽出部12は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（図5（a）下線部）、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。図5（a）においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

【0140】

そして、読み込んだ行の第6文字列（図5（a）1、2、6、7、11、12、17、18行目太字下線部）、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。図5（a）においては、pchhvt、nchhvtであれば、閾値の高い（HVT）MOSトランジスタ、pchlv t、nchlv tであれば、閾値の低い（LVT）MOSトランジスタであると判定する。

【0141】

同時に、その読み込んだ行の第3文字列（図5（a）の1、2、6、7、11、12、17、18行目太字下線斜字体部）、つまりMOSトランジスタのゲート電極に接続されているネットを検出し、そのネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース25に追加する。図5（a）のネットリストの、HVTMOSトランジスタに関しては、図10（a）中の抽出ネットデータベース：AVDD251が、LVTMOSトランジスタに関しては、抽出ネットデータベース：VDD252が、それぞれ相当する。

【0142】

次に、読み込んだ行の先頭文字が“R”で始まっているか否かを判定し（図5（a）の3行目下線部）、読み込んだ行が抵抗素子に関する記述か否かを判定する。図5（a）のネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。そして、読み込んだ行の第1文字列（図5（a）の3行目太字下線斜字体部）、つまり抵抗素子の抵抗素子名を抵抗素子名データベース16に追加する。図5（a）においては、図10（a）中の抵抗素子名データベース26がそれに相当する。

【0143】

図5（a）のネットリストを最終行まで読み込んだら、重複ネット削除部21にて、抽出ネットデータベース25中の閾値毎の抽出ネットデータベース251、252を順次読

み込み、まず辞書順に並び替えた後、重複ネットを削除する。例えば、図10(a)の抽出ネットリストデータ25では、抽出ネットデータベース：VDD252中のネットdが重複しているため、この重複が解消される。重複ネットを削除した後、新たな抽出ネットデータベース25'を得る。重複ネット削除後の、それぞれの抽出ネットデータベースは、図10(b)に示す抽出ネットデータベース：AVDD251'、及び抽出ネットデータベース：VDD252'がそれぞれ相当する。

【0144】

この後、抽出ネットデータベース25に含まれるネット数をカウントする。図10(b)の重複ネット削除後の抽出ネットデータベース25'に含まれるネット数のうち、抽出ネットデータベース：AVDD251、つまりHVTMOSトランジスタに関するネット数は、トップレベルの階層において2、オペアンプOPの階層において2、また、抽出ネットデータベース：VDD252'、つまり、LVTMOSトランジスタに関するネット数は、トップレベルの階層において1、TriStateBuffer TBUFの階層において2である。これらのネット数に関する情報は、抽出ネット数保持部32に保持される。ここでは、図15がそれに相当する。

【0145】

この後、抵抗挿入部13にて、重複ネット削除後の抽出ネットと電源電圧間、及び該重複ネット削除後の抽出ネットと基準電位間を結ぶ抵抗素子を、ネットリストに挿入する。例えば、図10(c)の14~17、24~27、30~35行目が、ネットリストに挿入された抵抗素子に相当する。このとき、挿入する抵抗素子名は、抵抗素子名データベース26内を検索し、唯一の抵抗素子名とする。また、ネットリストに挿入した抵抗素子の抵抗素子名は、順次、抵抗素子名データベース26に追加していく(図10(c)の抵抗素子名データベース26')。これを繰り返すことにより、対象回路のネットリストを変換していく。

【0146】

このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、図11の回路3721、3722に示すものとなる。この回路の詳細については、上記実施の形態2と同様であるため、ここでは説明を省略する。

【0147】

以上のように、本実施の形態3によれば、変換対象である回路のMOSトランジスタのゲート端子に抵抗を挿入するようネットリストを変換するようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間にプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源-基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することを可能とする。

【0148】

さらに、本実施の形態3によれば、ネット抽出部12において、ネットリストからMOSトランジスタを検出して、該MOSトランジスタのゲート端子に接続されているネットを抽出し、重複ネット削除部21において、抽出されたネットのうち、重複しているネットを削除した上で、該ネットに抵抗を挿入するようにしたので、対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することができると共に、ネットリストに追加する抵抗素子数を必要最低限の数にすることができ、これにより、後述する静止状態リーク電流検出装置における解析時間を短縮することが可能となる。

【0149】

さらに、抽出ネット数カウント部31を設け、重複ネット削除後の抽出ネット数をカウントするようにしたので、抵抗挿入部13により抵抗素子が挿入されるネット数を得ることができるため、後述するリーク電流検出装置において、全リーク電流の算出を実現することが可能となる。

【0150】

(実施の形態4)

以下、図16～図21を用いて、本実施の形態4にかかるネットリスト変換装置について説明する。

上記実施の形態においては、ネット抽出部により、対象回路のネットリストからリーク電流が発生する可能性のあるMOSトランジスタのゲート端子を抽出した後、抵抗挿入部により、上記抽出したネットと電源電圧間、及び該抽出したネットと基準電位間とを結ぶように抵抗を挿入するようにしたが、本実施の形態4においては、対象回路のネットリストのうちのリーク電流が発生する可能性のあるMOSトランジスタを、まずサブサーキットに置き換えた後、該リーク電流が発生する可能性のあるMOSトランジスタのゲート端子に抵抗を挿入したサブサーキットの内容を、置き換えたサブサーキットの内容として上記ネットリストに追加するようにしたものである。

【0151】

まず、図16を用いて、本実施の形態4に係るネットリスト変換装置の構成について説明する。図16は、本実施の形態4に係るネットリスト変換装置の構成を示す図である。

図16において、ネットリスト変換装置40は、ネットリスト指定部11と、トランジスタ置換え部41と、サブサーキット追加部42と、メモリ47と、からなるものである。

【0152】

より詳細に述べると、上記トランジスタ置換え部41は、静止状態時のリーク電流検出対象ネットリストに対して、変換対象としたMOSトランジスタをサブサーキットに置き換えるものであり、上記サブサーキット追加部42は、上記トランジスタ置換え部41により置き換えたサブサーキットの内容を、前記ネットリストに追加するものである。そして、上記メモリ47は、対象回路のネットリストを保持するネットリストデータベース14と、上記トランジスタ置換え部41により置き換えられるトランジスタの数を保持する置換えトランジスタ数保持部43と、追加するサブサーキットを、閾値及び種類の異なるMOSトランジスタ毎に予め保持しておく置換えサブサーキットデータベース44とを含むものである。

【0153】

次に、図17～図21を用いて、上述した構成を有する本実施の形態4のネットリスト変換装置40の動作について説明する。なおここでは、上述した図37(a)、(b)の両回路のネットリスト(図5(a))を変換する場合を例に挙げて説明する。

【0154】

図17は、本実施の形態4にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、図18は、図17に示すネットリスト変換処理の、トランジスタ置換え処理の詳細な流れを示す図であり、図19は、図17に示すネットリスト変換処理の、サブサーキット追加処理の詳細な流れを示す図である。そして、図20(a)は、本実施の形態4にかかるネットリスト変換装置により図5(a)に示すネットリストをネットリスト変換処理した後の変換後ネットリストと、ネットリスト変換処理後の置換えトランジスタ数保持部の内容を示す図であり、図21は、図20に示す変換後ネットリストの回路図である。

【0155】

まず、ユーザは、ネットリスト指定部11により、静止状態時のリーク電流を検出する対象となるネットリストを指定する(ステップS110)。

次に、トランジスタ置換え部41において、変換対象としたMOSトランジスタをサブサーキットに置き換える(ステップS410)。

【0156】

以下、上記トランジスタ置換え処理について詳細に述べると、まず、ネットリスト指定部11で指定されたネットリストを、先頭行より1行ずつ順次読み込みを行う（ステップS411）。そして、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（ステップS412）、その判定結果に応じて、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。読み込んだ行の先頭文字が“M”で始まっているれば、MOSトランジスタに関する記述であると判定して、次のステップS413を実施し、そうでないと判定された場合、ステップS415を実施する。

【0157】

そして、読み込んだ行の先頭文字が“M”で始まり、MOSトランジスタであると判定された場合、読み込んだ行の第6文字列、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値及び種類を判定する。そしてこの後、現在読み込まれているMOSトランジスタに関する記述を、MOSトランジスタの閾値及び種類毎に置換えサブサーキットデータベース44に保持されているサブサーキットに置き換えを行う（ステップS413）。このとき、この置き換える行の第1文字列の先頭に“X”を追加し、さらに置換えられたMOSトランジスタからは、該MOSトランジスタの第2、第3、第4、第5文字列つまり、“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなるネット接続情報、及び“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”などからなるパラメータ情報を抽出して、これらをサブサーキットへ引き継ぐ。もちろんここで、“W”、“L”、“M”のほかに“AD:ドレイン拡散領域”、“AS:ソース拡散領域”、“PD:ドレイン拡散領域周囲長”、“PS:ソース拡散領域周囲長”なども、サブサーキットに引き継ぐことができる。

【0158】

そして、置き換えたMOSトランジスタの閾値毎に、トランジスタの置き換え数をカウントし、そのカウント数を置換えトランジスタ数保持部43に保持する（ステップS414）。これを繰り返すことにより、対象回路のネットリストを変換していく。

この後、読み込んだ行が最終行か否かを判定し（ステップS415）、最終行であれば処理を終了し、そうでなければ、ステップS411に戻って、上述した処理を繰り返す。

【0159】

上述したように、上記トランジスタ置換え処理において、読み込んだ行が最終行であると判定された場合、上記トランジスタ置換え処理においてMOSトランジスタから置き換えたサブサーキットの内容を追加する（ステップS420）。

上記サブサーキット追加処理について詳細に説明すると、閾値の異なるトランジスタ毎に、トランジスタ置換え用サブサーキットを、ネットリストに追加していく。

【0160】

なお、上記追加するサブサーキットには、それぞれのMOSトランジスタの閾値及び種類に対応したMOSトランジスタがひとつと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源間、及び該MOSトランジスタのゲート端子と基準電圧間とを結ぶ抵抗素子とが含まれる。

【0161】

このような処理を行うことにより、図5（a）のネットリストから、図20に示す変換後のネットリスト48が得られる。

【0162】

次に、図5（a）、及び図20に示すネットリストの例を用いて、本実施の形態4にかかるネットリスト変換装置の動作について更に詳しく説明する。

まず、ネットリスト指定部11で、図5（a）に示すネットリストを指定する。

【0163】

次に、トランジスタ置換え部41において、変換対象としたMOSトランジスタをサブサーキットに置き換える。この際、トランジスタ置換え部41は、図5（a）に示すネットリストの先頭行より1行ずつ順次読み込みを行う。そして、読み込んだ行の先頭文字が

“M”で始まっているか否かを判定し(図5(a)の下線部)、読み込んだ行がMOSトランジスタに関する記述か否かを判定する。図5(a)においては、1、2、6、7、11、12、17、18行目がMOSトランジスタに関する記述であると判定される。

【0164】

そして、読み込んだ行の第6文字列(図5(a)の1、2、6、7、11、12、17、18行目太字下線部)、つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値及び種類を判定する。図5(a)においては、p c h h v tであればP c h HVTMOSトランジスタ、n c h h v tであればN c h HVTMOSトランジスタ、p c h l v tであればP c h LVTMOSトランジスタ、n c h l v tであればN c h LVTMOSトランジスタであると判定する。

【0165】

そして、現在読み込まれているMOSトランジスタに関する記述を、MOSトランジスタの閾値及び種類毎に設けられたサブサーキットに置き換えを行う。このとき、この行の第1文字列の先頭に“X”を追加し、置き換えるMOSトランジスタの第2、第3、第4、第5文字列、つまり該MOSトランジスタの“ドレイン端子”、“ゲート端子”、“ソース端子”、“バルク端子”からなるネット接続情報をそのまま引継ぎ、また“W:チャネル幅”、“L:チャネル長”、“M:マルチプライヤ”などからなるパラメータ情報についても、サブサーキットに“PARAMS”を用いて引き継ぐ。なお、図20の変換後ネットリスト48において、MOSトランジスタがサブサーキットに引き継がれた行は、1~2、6~7、11~12、17~18行目に相当する。

【0166】

次に、ステップ1106で、置き換えたMOSトランジスタの閾値毎に、トランジスタの置き換え数をカウントする。図20の置換えトランジスタ数保持部43の内容がこれに相当する。

【0167】

そして、MOSトランジスタからサブサーキットに置き換えるためのサブサーキットの内容を追加する。図20の変換後ネットリストにおいて、P c h HVTMOSトランジスタに関するサブサーキットの記述は22~26行目、N c h HVTMOSトランジスタに関するサブサーキットの記述は28~32行目、P c h LVTMOSトランジスタに関するサブサーキットの記述は34~38行目、N c h LVTMOSトランジスタに関するサブサーキットの記述は40~44行目がこれに相当する。

【0168】

そして、追加したサブサーキットには、それぞれのMOSトランジスタの閾値及び種類に対応したMOSトランジスタがひとつと、該MOSトランジスタのゲート端子と該MOSトランジスタの閾値に応じた電源間、及び該MOSトランジスタのゲート端子と基準電圧間を結ぶ抵抗素子が含まれる。これらの処理を繰り返すことにより、対象回路のネットリストを変換していく。

【0169】

このようなネットリスト変換処理により得られる変換後ネットリストの回路図は、図21の回路3731、3732に示すものとなる。図21から明らかなように、本実施の形態4のネットリスト変換装置40によるネットリスト変換処理では、上記実施の形態1のネットリスト変換装置10によるネット変換処理と同数の抵抗が挿入されることとなる。しかし、本実施の形態4のネットリスト変換装置40により変換された後のネットリストのほうが、実施の形態1のネットリスト変換装置10により変換された後のネットリストより回路構成がわかりやすく、また変換前のネットリストの状態を維持したまま、抵抗素子が追加されていくため、変換後のネットリストがみやすく、且つ変換後のネットリストから構成回路がわかりやすいものとなる。

【0170】

以上のように、本実施の形態4によれば、変換対象である回路のMOSトランジスタを、抵抗を含むサブサーキットに置換えるようにしたので、該対象回路がアナログCMOS

回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記MOSトランジスタの代わりに置き換えたサブサーキットに含まれる抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間でプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源－基準電圧間の電圧に固定することができる。

【0171】

さらに、本実施の形態4によれば、MOSトランジスタのゲート端子に直接抵抗を挿入するのではなく、該MOSトランジスタを、抵抗を含むサブサーキットに置換えるようにしたので、変換後のネットリストがみやすく、該変換後ネットリストから回路構成がわかりやすいという効果がある。

【0172】

(実施の形態5)

以下、図22～図26を用いて、本実施の形態5にかかるネットリスト変換装置について説明する。

上記実施の形態においては、対象回路のネットリストからMOSトランジスタを全て抽出し、該MOSトランジスタに対して抵抗を挿入するようにしたが、本実施の形態5においては、信頼性の高い回路に対しては、該回路内にたとえMOSトランジスタが含まれていても、該MOSトランジスタに対しては抵抗を挿入しないようにするものである。

【0173】

まず、図22を用いて、本実施の形態5に係るネットリスト変換装置の構成について説明する。図22は、本実施の形態5におけるネットリスト変換装置の構成を示す図である。

【0174】

図22において、ネットリスト変換装置50は、ネットリスト指定部11と、第1ネット抽出部12と、第2ネット抽出部51と、重複ネット削除部21と、抵抗挿入部53と、ネットリストデータベース14、抽出ネットデータベース55、抵抗素子名データベース56、及びサブサーキットデータベース52を含むメモリ57と、からなるものである。

【0175】

より詳細に述べると、上記第1ネット抽出部12は、静止状態時のリーク電流検出対象ネットリスト内の、MOSトランジスタに接続されたネットを抽出するものであって、上記各実施の形態におけるネット抽出部に相当するものであり、一方、上記第2ネット抽出部51は、静止状態時のリーク電流検出対象ネットリストに対して、ある特定のサブサーキットの入力端子に接続されているネットを抽出するものである。また、上記抵抗挿入部は、第1ネット抽出部12及び第2ネット抽出部51で抽出され、重複ネット削除部21で重複ネットを削除された前記ネットのうち、特定のサブサーキットに含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定のネットと電源間、及び前記特定のネットと基準電位間を接続する抵抗素子を挿入するものである。そして、メモリ57内のサブサーキットデータベース52は、上記第2ネット抽出部51において抽出するサブサーキットの情報を示すものがある。なお、その他の構成は上記実施の形態2と同様であるため、ここでは説明を省略する。

【0176】

次に、図23～図26を用いて、上述した構成を有する本実施の形態5のネットリスト変換装置50の動作について説明する。なおここでは、上述した図37(a)、(b)の両回路の静止状態リーク電流を検出するため、これらの回路のネットリストを変換する場合を例に挙げて説明する。

【0177】

図23は、本実施の形態5にかかるネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図であり、図24は、図23に示すネットリスト変換処理内の、第2

ネット抽出処理の詳細な流れを示す図であり、図25は、図23に示すネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。そして、図26(a)は、本実施の形態5にかかるネットリスト変換装置によって、ネットリスト変換される対象回路（ここでは、図37(a), (b)に示す回路）のネットリストを示す図であり、図26(b)は、本実施の形態5にかかるネットリスト変換装置の抽出ネット部で抽出される、抽出ネットデータベースと抵抗素子名データベースを示す図であり、図26(c)は、サブサーキットデータベースの内容、及び第2ネット抽出部による処理後の抽出ネットデータベースの内容を示す図であり、図26(d)は、重複ネット削除部による処理後の抽出ネットデータベースの内容を示す図であり、図26(e)は、抽出ネット数カウント部によりカウントされた抽出ネット数を示す図であり、図26(f)は、本実施の形態5にかかるネットリスト変換装置において、図26(a)に示すネットリストをネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースを示す図である。

【0178】

まず、ユーザは、ネットリスト指定部11により、静止状態時のリーク電流を検出する対象となるネットリストを指定する（ステップS110）。この処理の詳細については、上記実施の形態1において述べたものと同様であるため、ここでは説明を省略する。

【0179】

次に、第1ネット抽出部12において、図26(a)に示すネットリスト内の、MOSトランジスタのゲート端子に接続されたネットを抽出するネット抽出処理を行う（ステップS120）。この処理については、上述したように上記実施の形態1ネット抽出処理と同様であるため、ここでは説明を省略する。

【0180】

そして、この後、第2ネット抽出部51で、再度、上記ネットリスト指定部11により指定された図26(a)に示す対象ネットリストを読み込み、該ネットリストに対して変換対象としたある特定のサブサーキットの入力端子に接続されているネットを抽出していく。

【0181】

以下、上記第2ネット抽出処理について詳細に述べると、まず、ネットリスト指定部11で与えられたネットリストの先頭行より1行ずつ順次読み込みを行う（ステップS511）。次に、読み込んだ行がサブサーキットに関する記述か否かを判定する（ステップS512）。ここでは、読み込んだ行の先頭文字が“X”で始まっているか否かを判定する。すなわち、読み込んだ行の先頭文字が“X”で始まっているれば、サブサーキットに関する記述であると判定して、次のステップS513を実施し、そうでないと判定された場合、ステップS515を実施する。

【0182】

そして、読み込んだ行の先頭文字が“X”で始まっている、サブサーキットであると判定された場合、該読み込んだ行の最終文字列、つまり読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれるか否かを判定する（ステップS513）。そして、読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれていると判定されれば、次のステップS514を実施し、そうでないと判定された場合、ステップS515を実施する。そして、上記ステップS514において、サブサーキットデータベース52に含まれるサブサーキットの入力端子情報、及びその入力端子のMOSトランジスタの閾値情報を元に、該サブサーキットの入力端子に接続されているネットを抽出し、その抽出したネットを、第1ネット抽出部12で得られた閾値の異なるMOSトランジスタ毎に設けた抽出ネットデータベース55に追加し、新たな抽出ネットデータベース55'を得る。この新たに得られた抽出ネットデータベース55'は、図26(c)に示されるものである。

【0183】

この後、読み込んだ行が最終行か否かを判定し（ステップS515）、最終行であれば

処理を終了し、そうでなければステップ S511 に戻って、上述した処理を繰り返す。

そして、上述の第1、第2 ネット抽出処理が終了後、重複ネット削除部 21 で、上記第2 ネット抽出処理により得られた抽出ネットデータベース 55' の重複ネットを削除し（ステップ S211）、図 26（d）に示される、重複ネットが削除された抽出ネットデータベース 55' を得、抽出ネットカウンタ部 31 で、上記重複ネット削除後の抽出ネットデータベース 55' に含まれるネット数をカウントして、メモリ 57 内の抽出ネット数保持部 32（図 26（e）参照）に、MOS トランジスタの閾値毎に保持する（ステップ S310）。これらの処理については、上記実施の形態 3 において述べたものと同様であるため、ここでは説明を省略する。

【0184】

そして、上記重複ネット削除部 21 において重複ネットが削除され、新たな抽出ネットデータベース 55' が出力された後、該重複ネットが削除された抽出ネットのうち、サブサーキットデータベース 52 に含まれる MOS トランジスタのゲート端子に接続されているネット以外の特定ネットと電源電圧間、及び該特定ネットと基準電位間とを結ぶ抵抗素子を、上記ネットリストに挿入する抵抗挿入処理を行う（ステップ S520）。

【0185】

以下、上記抵抗挿入処理について詳細に述べると、第1 ネット抽出部 11 及び第2 ネット抽出部 51 で抽出され、さらに重複ネット削除部 21 で重複ネットを削除された前記ネットのうち、サブサーキットデータベース 52 に保持されている特定のサブサーキットに含まれる MOS トランジスタのゲート端子に接続されているネット以外の特定のネットと電源間、及び前記特定のネットと基準電位間を接続する抵抗をネットリストに挿入する。ここでは、抽出ネットデータベース 55' の、MOS トランジスタの閾値毎に抽出された抽出ネットデータベース：ADV551'、抽出ネットデータベース：VDD552' に含まれるネットのうち、サブサーキットデータベース 52 に含まれる MOS トランジスタのゲート端子に接続されているネット以外の特定のネットと MOS トランジスタの閾値毎に決められた電源間、及び前記特定のネットと基準電位間に抵抗をネットリストに挿入する。このとき、挿入する抵抗素子名は、抵抗素子名データベース 56 内を検索し、唯一の抵抗素子名とする。また、挿入した抵抗素子の抵抗素子名を抵抗素子名データベース 56' に追加する。これを繰り返すことにより、ネットリストを変換する。

【0186】

このような処理を行うことにより、図 26（a）のネットリストから、図 26（f）に示す変換後のネットリスト 58 と、ネットリストに追加された抵抗が追加された抵抗素子名データベース 56' が得られる。

【0187】

次に、図 26 に示すネットリストの例を用いて、本実施の形態 5 にかかるネットリスト変換装置の動作について更に詳しく説明する。

まず、ユーザは、ネットリスト指定部 11 により、図 5（a）に示すネットリストを指定する。なお、図 26（a）は、図 5（a）と同様、図 37（a）、（b）で示した回路図を SPICE 形式のネットリストで表現したものであるが、図 5（a）と異なる点は、図 26（a）においては、図 5（a）の 6～7 行目の MP2、MN2 で形成されるインバータをサブサーキット名 INV として表している点であり、図 26（a）では、6 行目でサブサーキット INV と表現し、また 21～24 行目で、該サブサーキット INV の内容に関する記述が追加されている。

【0188】

次に、ネット抽出部 12 において、ネットリストから、変換対象としたネットを抽出する。この際、ネット抽出部 12 は、読み込んだ行の先頭文字が“M”で始まっているか否かを判定し（図 26（a）下線部）、読み込んだ行が MOS トランジスタに関する記述か否かを判定する。図 26（a）においては、1、2、10、11、16、17、22、23 行目が MOS トランジスタに関する記述であると判定される。

【0189】

そして、読み込んだ行の第6文字列(図26(a)の1、2、10、11、16、17、22、23行目太字下線部)つまりMOSトランジスタのモデル名より、MOSトランジスタの閾値を判定する。図26(a)においては、pchhvt、nchhvtであれば、HVTMOSトランジスタ、pchlv t、nchlv tであれば、LVTMOSトランジスタであると判定する。

【0190】

同時に、その読み込んだ行の第3文字列(図26(a)の1、2、10、11、16、17、22、23行目太字下線斜字体部)、つまりMOSトランジスタのゲート電極に接続されているネットを、MOSトランジスタの閾値毎に設けた抽出ネットデータベース55に追加する。図26(a)のネットリストの、HVTMOSトランジスタに関しては、図26(b)中の抽出ネットデータベース:AVDD551が、LVTMOSトランジスタに関しては、抽出ネットデータベース:VDD552が、それぞれ相当する。

【0191】

次に、読み込んだ行の先頭文字が“R”で始まっているか否かを判定し(図26(a)の3行目太字下線斜字体部)、読み込んだ行が抵抗素子に関する記述か否かを判定する。図26(a)のネットリストにおいては、3行目が抵抗素子に関する記述であると判定される。そして、読み込んだ行の第1文字列(図26(a)の3行目太字下線斜字体部)、つまり抵抗素子の抵抗素子名を、抵抗素子名データベース56に追加する。図26(a)においては、図26(b)中の抵抗素子名データベース56がそれに相当する。

【0192】

図26(a)のネットリストを最終行まで読み込んだら、第2ネット抽出部51において、上記ネットリスト指定部11により指定された対象ネットリストに対して変換対象としたある特定のサブサーキットの入力端子に接続されているネットを抽出する。

【0193】

ここでは、ネットリスト指定部11で与えられたネットリストの先頭行より1行ずつ順次読み込みを行い、読み込んだ行の先頭文字が“X”で始まっているか否かを判定し(図26(a)下線斜字体部)、それに応じて、読み込んだ行がサブサーキットに関する記述か否かを判定する。図26(a)においては、4、6、7行目がサブサーキットに関する記述であると判定される。

【0194】

そしてこの後、上記読み込んだ行の最終文字列、つまり読み込んだサブサーキットのサブサーキット名が、サブサーキットデータベース52に含まれるか否かを判定する。ここで、上記サブサーキットデータベース52は、図26(c)に相当し、サブサーキットの入力端子情報、及びその入力端子のMOSトランジスタの閾値情報を含む。図26(a)においては、6、7行目が、サブサーキットデータベース52に含まれるサブサーキットに相当する。

【0195】

そして、サブサーキットデータベース52に含まれる、サブサーキットの入力端子情報及びその入力端子のMOSトランジスタの閾値情報を元に、サブサーキットの入力端子に接続されているネットを抽出し、第1ネット抽出部12で得られた閾値の異なるMOSトランジスタ毎に設けられた抽出ネットデータベース55(図26(b)参照)に追加し、新たな抽出ネットデータベース55'を得る。ここでは、第2ネット抽出部51により、LVTMOSトランジスタに関する抽出ネットデータベースに対してネットが追加され、図26(c)の抽出ネットデータベース:VDD552'がそれに相当する。

【0196】

次に、重複ネット削除部21にて、図26(b)に示す抽出ネットデータベース:AVDD551、及び図26(c)に示す抽出ネットデータベース:VDD552'を順次読み込み、それぞれの抽出ネットデータベースを辞書順に並び替え、重複ネットを削除する。図26(c)では、ネットIN:INV、及びネットdが重複しているため、この抽出ネットデータベース:VDD552'内のネットの重複が解消される。重複ネットを削除

した後、新たな抽出ネットデータベース55' 'を得る。図26 (b)、図26 (c)においては、それぞれ図26 (d)中の、抽出ネットデータベース: AVDD551' '、及び抽出ネットデータベース: VDD552' ' がそれに相当する。

【0197】

そして、上記抽出ネット数カウンタ部31により、上記抽出ネットデータベース55' 'に含まれるネット数をカウントする。なお、このときサブサーキットデータベース52に含まれるネットに関してはカウントしない(図示せず)。図26 (d)の抽出ネットデータベース: AVDD551' 'に含まれるネット数、つまりHVTMOSトランジスタに関するネット数はトップレベルの階層において2、オペアンプOPの階層において2、一方、図26 (d)の抽出ネットデータベース: VDD552' 'に含まれるネット数、つまりLVTMOSトランジスタに関するネット数はトップレベルの階層において2である。これらのネット数に関する情報は、抽出ネット数保持部32に保持される。ここでは、図26 (e)がそれに相当する。

【0198】

次に、抵抗挿入部52にて、第1ネット抽出部12、及び第2ネット抽出部51で抽出され、重複ネット削除部21で重複ネットを削除された前記ネットのうち、特定のサブサーキットに含まれるMOSトランジスタのゲート端子に接続されているネット以外のネットと電源間、及び上記特定のネットと基準電位間を接続する抵抗を、ネットリストに挿入する。ここでは、MOSトランジスタの閾値毎に抽出された抽出ネットデータベース55' ' (図26 (d)に相当)に含まれるネットのうち、サブサーキットデータベース52に含まれるMOSトランジスタのゲート端子に接続されているネット以外の特定のネットと、MOSトランジスタの閾値毎に決められた電源間、及び上記特定のネットと基準電位間に抵抗をネットリストに挿入する。ここで、図26 (d)に示すように、TBUF及びINVはサブサーキットデータベース52に含まれるため、前記特定のネットから除外される。図26 (f)の13~16、30~37行目がネットリストに挿入された抵抗素子に相当する。

【0199】

そしてこのとき、挿入する抵抗素子名は、抵抗素子名データベース56内を検索し、唯一の抵抗素子名とする。また、挿入した抵抗素子の抵抗素子名を抵抗素子名データベース56に追加する(図26 (f))。これを繰り返すことにより、ネットリストを変換する。

【0200】

以上のように、本実施の形態5によれば、変換対象である回路のMOSトランジスタのゲート端子に抵抗を挿入するようネットリストを変換するようにしたので、該対象回路がアナログCMOS回路であっても、CMOS論理回路であっても、MOSトランジスタのゲート端子が不定状態にあった場合には、上記挿入した抵抗素子が、MOSトランジスタのゲート端子と電源間、及びMOSトランジスタのゲート端子と基準電位間にプルアップ抵抗・プルダウン抵抗として働くこととなり、この結果、静止状態でリーク電流が流れる可能性があるMOSトランジスタのゲート端子を電源-基準電圧間の電圧に固定することができる。そしてこのことは、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することを可能とする。

【0201】

また、本実施の形態5によれば、重複ネット削除部21により抽出ネットデータベース内の重複しているネットを削除することに加え、あらかじめリーク電流が発生する疑いがない回路をサブサーキットデータベース52に保持しておき、抵抗挿入部53により抵抗を挿入する際には、該サブサーキットデータベース52に示された箇所には抵抗を挿入しないようにしたので、対象回路内のリーク電流が発生する疑いのあるトランジスタを確実に検出することができ、後述する静止状態リーク電流検出装置において、従来の直流解析シミュレーションでは検出することが困難であったリーク電流を確実に検出することがで

きると共に、上記サブサーキットデータベースに含まれるネットに関しては、そのサブサーキットの入力端子に接続されるネットのみが抵抗素子挿入の対象となるため、ネットリストに挿入される抵抗素子の数を大幅に少なくすることが可能となり、これにより、後述する静止状態リーク電流検出装置における解析時間を、より短縮することが可能となる。

【0202】

さらに、抽出ネット数カウント部31を設け、重複ネット削除後の抽出ネット数をカウントするようにしたので、抵抗挿入部13により抵抗素子が挿入されるネット数を得ることができるため、後述するリーク電流検出装置において、全リーク電流の算出を実現することが可能となる。

【0203】

なお、本実施の形態5においては、上記実施の形態1～3に示すように、ネット抽出部により、対象回路のネットリストからリーク電流が発生する可能性のあるMOSトランジスタのゲート端子を抽出した後、抵抗挿入部により、上記抽出したネットと電源電圧間、及び該抽出したネットと基準電位間とを結ぶように抵抗を挿入するものについて説明したが、上記実施の形態4に示すように、対象回路のネットリストのうちのリーク電流が発生する可能性のあるMOSトランジスタを、まずサブサーキットに置き換えた後、該リーク電流が発生する可能性のあるMOSトランジスタのゲート端子に抵抗を挿入したサブサーキットの内容を、置き換えたサブサーキットの内容として上記ネットリストに追加するものであっても、本実施の形態5と同様の処理が可能である。

【0204】

(実施の形態6)

以下、図27～図29を用いて、本実施の形態6にかかる静止状態リーク電流検出装置について説明する。

本実施の形態においては、上記実施の形態1～5において説明したネットリスト変換装置により、静止状態時のリーク電流検出対象ネットリストを変換処理した上で、該ネットリストの静止状態時のリーク電流を検出するものである。

【0205】

まず、図27を用いて、本実施の形態6にかかる静止状態リーク電流検出装置の構成について説明する。図27は、本実施の形態6における静止状態リーク電流検出装置の構成を示す図である。

【0206】

図27において、静止状態リーク電流検出装置100は、ネットリスト変換部10と、直流解析部101と、トランジスタ検索部102と、メモリ105と、からなるものである。

【0207】

より詳細に述べると、上記ネットリスト変換部10は、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する可能性のある箇所に抵抗を挿入するように、該ネットリストを変換するものであり、その構成は、上述した実施の形態1～5に相当するものである。そして、上記直流解析部101は、上記ネットリスト変換部10により、該ネットリスト変換処理がされた後の変換後ネットリストに対して、直流解析を行って直流解析結果を得るものであり、上記トランジスタ検索部102は、上記直流解析部101にて得られた直流解析結果により、リーク電流が発生しているMOSトランジスタを検索するものである。そして、上記メモリ105は、上記直流解析結果を保持する直流解析結果保持部103と、上記トランジスタ検索部102において検索されたリーク電流が発生する可能性のある箇所を保持する電流リークトランジスタデータベース104である。

【0208】

以下、図28、図29を用いて、上述した構成を有する本実施の形態6の静止状態リーク電流検出装置の動作について説明する。なお、ここでは、上述した図37(a)、(b)の両回路の静止状態リーク電流を検出するものとする。

【0209】

図28は、本実施の形態6にかかる静止状態リーク電流検出装置による、リーク電流検出処理の一連の流れを示す図であり、図29は、図28に示すリーク電流検出処理内の、トランジスタ検索処理の詳細な流れを示す図である。

【0210】

まず、ユーザは、静止状態リーク電流を検出する対象となる回路に対し、ネットリスト変換部10にてネットリスト変換を実施する（ステップS1000）。この動作については、上記実施の形態1～5に示した通りである。

【0211】

そして、直流解析部101において、上記ネットリスト変換部10で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ105内の直流解析結果保持部103に保持する（ステップS2000）。なお、直流解析の動作については従来と同様であるため、説明を省略する。

【0212】

そしてこの後、トランジスタ検索部102において、上記直流解析部101にて得られた直流解析結果により、リーク電流が発生する可能性のあるMOSトランジスタを検索して、その結果を、メモリ105内の電流リークトランジスタデータベース104に保持していく（ステップS3000）。

【0213】

以下、上記トランジスタ検索処理について詳細に述べると、まず、上記直流解析部101にて得られた直流解析結果より、MOSトランジスタに関する情報を検索する（ステップS3100）。そして、 $|IDS| > I_{th}$ であれば、ステップS3300を実施し、そうでなければステップS3400を実施する。すなわち、上記 $|IDS|$ が I_{th} より大きければ、そのMOSトランジスタにはリーク電流が発生していると判定して、電流リークトランジスタデータベース104にそのMOSトランジスタを追加し（ステップS3300）、上記 $|IDS|$ が I_{th} より小さければ、そのMOSトランジスタはリーク電流が発生していないと判定する。この後、検索したMOSトランジスタが最後のMOSトランジスタか否かを判定し（ステップS3400）、最後のMOSトランジスタであれば処理を終了し、そうでなければ上記ステップS3100に戻り、上述した処理を繰り返す。

このようにして、静止状態においてリーク電流が発生する可能性のある箇所を検出し、電流リークトランジスタデータベース104を出力する。

【0214】

次に、図26に示すネットリストの例を用いて、本実施の形態6にかかる静止状態リーク電流検出装置の動作について更に詳しく説明する。なお、ここでは、ネットリスト変換部が実施の形態5に示すネットリスト変換装置であるものとして説明する。

【0215】

まず、図26(a)のネットリストに対して、ネットリスト変換部10において、実施の形態5のネットリスト変換装置によってネットリスト変換を実施し、図26(f)に示すネットリストが得られたとする。

【0216】

ここで、静止状態のリーク電流を検出する際に、OP1の制御信号ENABLE1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。このとき、図37(a)の回路3701におけるネットaが不定になり、リーク電流I1が流れる可能性がある。同じく、図37(b)の回路3702におけるネットdが不定となり、リーク電流I2が流れる可能性がある。ここで、図26(f)の変換後ネットリスト58に対して、直流解析を実施すると、ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基準電位との間の中点、ネットdに対しては、R1004及びR1005の作用によって、電源電圧VDDと基準電位との間の中点の電圧に固定されるため、従来の直流解析シミュレーションでは検出することが困難であったリーク電流I1及びI2が流れることになる。その他のネットにおいては、通常の直流動作点で動作する。

【0217】

以上のように、本実施の形態 6 によれば、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する疑いのある箇所に抵抗を挿入するネットリスト変換処理を行った上で、MOS トランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、リーク電流が発生する可能性のある箇所を、容易に検出することが可能となる。

【0218】

なお、本実施の形態 6 においては、ネットリスト変換部 10 として、実施の形態 5 で説明したネットリスト変換装置 50 を例に挙げて説明したが、上記ネットリスト変換部 10 としては、上記実施の形態 1～4 で説明した各ネットリスト変換装置 10～40 であっても、同様の効果が得られる。

【0219】

(実施の形態 7)

以下、図 30～図 32 を用いて、本実施の形態 7 にかかる静止状態リーク電流検出装置について説明する。

上記実施の形態 6 においては、静止状態リーク電流が発生する箇所を検索する場合について説明したが、本実施の形態 7 においては、さらに、ネットリストの静止状態時の全リーク電流を算出するものである。

【0220】

まず、図 30 を用いて、本実施の形態 7 にかかる静止状態リーク電流検出装置の構成について説明する。図 30 は、本実施の形態 7 における静止状態リーク電流検出装置の構成を示す図である。

【0221】

図 30 において、静止状態リーク電流検出装置 200 は、ネットリスト変換部 30 と、直流解析部 101 と、トランジスタ検索部 102 と、全リーク電流算出部 201 と、直流解析結果保持部 103、電流リークトランジスタデータベース 104、及び全リーク電流保持部 202 を含むメモリ 205 と、からなるものである。

【0222】

より詳細に述べると、上記ネットリスト変換部 30 は、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する可能性のある箇所に抵抗を挿入するよう、該ネットリストを変換するものである。なお、本実施の形態 7 においては、全リーク電流を算出するものであるため、上記ネットリスト変換部 30 の構成は、例えば、上記ネットリスト変換処理において挿入した抵抗の数を求めている、上記実施の形態 3～5 に示すネットリスト変換装置に相当するものである。

【0223】

そして、全リーク電流算出部 201 は、電源に流れる電流から、電源から基準電位間に挿入した抵抗素子を介して流れる電流を減算し、全リーク電流を算出するものであり、上記メモリ 205 内の全リーク電流保持部 202 は、上記全リーク電流算出部 201 により得た値を保持するものである。なお、そのほかの構成は、上記実施の形態 6 と同様であるため、ここでは説明を省略する。

【0224】

以下、図 31 及び図 32 を用いて、上述した構成を有する本実施の形態 7 の静止状態リーク電流検出装置の動作について説明する。なお、ここでは、上述した図 37 (a)、(b) の両回路の静止状態リーク電流を検出するものとする。

【0225】

図 31 は、本実施の形態 7 にかかる静止状態リーク電流検出装置による、リーク電流検出処理の一連の流れを示す図であり、図 32 は、図 31 に示すリーク電流検出処理内の、全リーク電流算出処理の詳細な流れを示す図である。

【0226】

まず、ユーザは、静止状態リーク電流を検出する対象となる回路に対し、ネットリスト変換部 30 にてネットリスト変換を実施する (ステップ S1000)。この時、同時に挿

入した抵抗の数を保持しておく。この動作については、上記実施の形態3～5に示した通りであり、具体的には、上記実施の形態3, 5では抽出ネット数を抽出ネット数保持部32に、また、上記実施の形態4では置換えトランジスタ数を置換えトランジスタ数保持部43に保持している。

【0227】

そして、上記直流解析部101において、上記ネットリスト変換部30で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ205内の直流解析結果保持部103に保持する（ステップS2000）。なお、直流解析の動作については従来と同様であるため、説明を省略する。

【0228】

そしてこの後、上記トランジスタ検索部102において、上記直流解析部101にて得られた直流解析結果により、リーク電流が発生する可能性のあるMOSトランジスタを検索して、その結果を、メモリ205内の電流リークトランジスタデータベース104に保持していく（ステップS3000）。なお、この処理については、上記実施の形態6と同様であるため、ここでは説明を省略する。

【0229】

そして、上記全リーク電流算出部201において、上記ネット変換部30において得られた抽出ネット数あるいは置換えトランジスタ数と、上記直流解析部101において得られた直流解析結果に基づいて、全リーク電流を算出する（ステップS4000）。

【0230】

以下、全リーク電流算出処理について詳細に述べると、まず、直流解析部101にて得られ、直流解析結果保持部103に保持された直流解析結果より、電源－基準電位間に流れる電流を抽出する（ステップS4100）。そして、上記ネットリスト変換部30において得た、閾値の異なるMOSトランジスタ毎の抽出ネット数もしくは、置換えトランジスタ数を元に、電源－基準電位間に流れる電流から、挿入した抵抗素子を介して電源－基準電位間に流れる電流を減算して、全リーク電流を得る。つまり、閾値の異なるMOSトランジスタ毎に決められた電源毎に、 $(\text{電源－基準電位間電流}) - N * (\text{電源電圧} / (\text{挿入抵抗値} * 2))$ を求めることで、ネットリスト変換部30によって挿入した抵抗素子に流れる電流の影響を受けない全リーク電流を得ることができる。ここで、Nは Σ （サブサーキットxの数*サブサーキットx内で抽出されたネット数）〔トップセルも含め、全サブサーキットにおいて算出〕を表す。このようにして得た全リーク電流は、全リーク電流保持部202に保持する。

【0231】

次に、図26に示すネットリストの例を用いて、実施の形態7にかかる静止状態リーク電流検出装置の動作について更に詳しく説明する。

まず、図26(a)のネットリストに対して、ネットリスト変換部10において、実施の形態5のネットリスト変換装置によってネットリスト変換を実施し、図26(f)に示すネットリストが得られたとする。

【0232】

ここで、静止状態のリーク電流を検出する際に、OP1の制御信号ENABLE1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。このとき、図37(a)の回路3701におけるネットaが不定になり、リーク電流I1が流れる可能性がある。同じく、図26(b)の回路3702におけるネットdが不定となり、リーク電流I2が流れる可能性がある。ここで、図26(f)の変換後ネットリスト58に対して、直流解析を実施すると、ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基準電位との間の中点、ネットdに対しては、R1004及びR1005の作用によって、電源電圧VDDと基準電位との間の中点の電圧に固定されるため、リーク電流I1及びI2が流れることになる。その他のネットにおいては、通常の直流動作点で動作する。

【0233】

この結果、MOSトランジスタMP1、MN1、MP2、MN2のそれぞれの電流をモニタすることにより、従来の直流解析では検出できないリーク電流が発生する可能性のある箇所を容易に検出することが可能となる。

【0234】

さらに、全リーク電流算出部201において、ステップS4100で、電源AVDDに流れる電流量がIAVDD、電源VDDに流れる電流量がIVDDと抽出されたと仮定する。この時、まず、図26(e)より、AVDDに関する抽出ネット数は、トップセルに関して「2」、サブサーキットOPに関して「2」また、サブサーキットOPの数「1」、同じく、VDDに関する抽出ネット数は、トップセルに関して「2」であり、この結果、全リーク電流は、電源AVDDに関しては、 $(IAVDD - (2 + 2 * 1) (AVDD / (100T * 2)))$ 、電源VDDに関しては、 $(IVDD - (2) (VDD / (100T * 2)))$ として求められる。

【0235】

以上のように、本実施の形態7によれば、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する疑いのある箇所に抵抗を挿入するネットリスト変換処理を行った上で、MOSトランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、リーク電流が発生する可能性のある箇所を、容易に検出することが可能となる。

【0236】

また、本実施の形態7によれば、上記検出対象回路のネットリスト内に発生するリーク電流を算出することができる。

【0237】

(実施の形態8)

以下、図33～図36を用いて、本実施の形態7にかかる静止状態リーク電流検出装置について説明する。

上記実施の形態6においては、静止状態リーク電流が発生する箇所を検索する場合について説明したが、本実施の形態8においては、上記リーク電流が発生する箇所をグラフに表示するものである。

【0238】

まず、図33を用いて、本実施の形態8にかかる静止状態リーク電流検出装置の構成について説明する。図33は、本実施の形態8における静止状態リーク電流検出装置の構成を示す図である。

【0239】

図33において、静止状態リーク電流検出装置300は、ネットリスト変換部10と、直流解析部101と、|IDS|ヒストグラム作成部301と、直流解析結果保持部103、及びトランジスタ|IDS|データベースを含むメモリ305と、からなるものである。

【0240】

より詳細に述べると、上記ネットリスト変換部10は、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する可能性のある箇所に抵抗を挿入するよう、該ネットリストを変換するものであり、その構成は、上記実施の形態1～5に示す通りである。そして、上記|IDS|ヒストグラム作成部301は、直流解析部101において得られた直流解析結果より、MOSトランジスタの|IDS|ヒストグラムを作成するものである。そして、メモリ305内のトランジスタ|IDS|データベース302は、上記|IDS|ヒストグラム作成部301において得たMOSトランジスタの|IDS|を保持するものである。なお、そのほかの構成については、上記実施の形態6と同様であるため、ここでは説明を省略する。

【0241】

以下、図34～図36を用いて、上述した構成を有する本実施の形態8の静止状態リーク電流検出装置の動作について説明する。なお、ここでは、上述した図37(a)、(b

) の両回路の静止状態リーク電流を検出するものとする。

【0242】

図34は、本実施の形態8にかかる静止状態リーク電流検出装置による、リーク電流検出処理の一連の流れを示す図であり、図35は、図34に示すリーク電流検出処理内の、|IDS|ヒストグラム作成処理の詳細な流れを示す図である。そして図36(a)は、|IDS|ヒストグラム作成部によって得られるトランジスタ|IDS|データベースを示す図であり、図36(b)は、図36(a)のデータベースにより得られるヒストグラムを示す図である。

【0243】

まず、ユーザは、静止状態リーク電流を検出する対象となる回路に対し、ネットリスト変換部10にてネットリスト変換を実施する(ステップS1000)。この動作については、上記実施の形態1～5に示した通りである。

【0244】

そして、直流解析部101において、上記ネットリスト変換部10で変換されたネットリストについて直流解析を実施して直流解析結果を得、これをメモリ105内の直流解析結果保持部103に保持する(ステップS2000)。なお、直流解析の動作については従来と同様であるため、説明を省略する。

【0245】

そしてこの後、上記直流解析部101より得られた直流解析結果を元に、上記|IDS|ヒストグラム作成部301により、MOSトランジスタの|IDS|のヒストグラムを得る。

【0246】

以下、上記|IDS|のヒストグラム作成処理について詳細に述べると、まず、上記直流解析部101で得られた直流解析結果よりトランジスタを検索する(ステップS5100)。そして、検索されたトランジスタの|IDS|を、メモリ305内のトランジスタ|IDS|データベース302に追加する(ステップS5200)。

【0247】

この後、直流解析結果1903のトランジスタの検索が終了したか否かを判定し(ステップS5300)、トランジスタの検索が終了したならば処理を終了し、そうでなければ上記ステップS5200に戻り、上述した処理を繰り返す。

そして、トランジスタ|IDS|データベース302より、|IDS|のヒストグラムを作成し、これを出力する。

【0248】

次に、図26に示すネットリストの例を用いて、本実施の形態8の静止状態リーク電流検出装置の動作について更に詳しく説明する。なお、ここでは、ネットリスト変換部10が実施の形態5に示すネットリスト変換装置であるものとして説明する。

【0249】

まず、図26(a)のネットリストに対して、ネットリスト変換部10において、実施の形態5のネットリスト変換装置によってネットリスト変換を実施し、図26(f)に示すネットリストが得られたとする。

【0250】

ここで、静止状態のリーク電流を検出する際に、OP1の制御信号ENABLE1、及びTBUF1の制御信号ENABLE2が“L”であったと仮定する。このとき、図37(a)の回路3701におけるネットaが不定になり、リーク電流I1が流れる可能性がある。同じく、図37(b)の回路3702におけるネットdが不定となり、リーク電流I2が流れる可能性がある。

【0251】

ここで、図26(f)に対して直流解析を実施すると、ネットaは、R1002及びR1003の作用によって、電源電圧AVDDと基準電位との間の中点、ネットdに対しては、R1004及びR1005の作用によって、電源電圧VDDと基準電位との間の中点

の電圧に固定されるため、リーク電流 I_1 及び I_2 が流れることになる。その他のネットにおいては、通常の直流動作点で動作する。

【0252】

ここで、例えば、MOSトランジスタMP1の $|IDS|$ 及びMN1の $|IDS|$ が $20\mu A$ 、MP2の $|IDS|$ 及びMN2の $|IDS|$ が $5\mu A$ 、その他のトランジスタの $|IDS|$ が $1nA$ であったとする。このとき、 $|IDS|$ ヒストグラム作成部301によって得られるトランジスタ $|IDS|$ データベースは、図36(a)に示すものとなり、さらに、このとき得られるヒストグラムは図36(b)に示すものとなる。

【0253】

このように、各MOSトランジスタの $|IDS|$ を $|IDS|$ ヒストグラムより表すことにより、視覚的にどのMOSトランジスタでリーク電流が発生する可能性があるかを確認することが可能となる。

【0254】

以上のように、実施の形態8によれば、静止状態リーク電流検出対象回路のネットリストに対し、リーク電流が発生する疑いのある箇所に抵抗を挿入するネットリスト変換処理を行った上で、MOSトランジスタの電流をモニタするようにしたので、通常の直流解析では検出が困難な、リーク電流が発生する可能性のある箇所を、容易に検出することが可能となる。また、本実施の形態8によれば、上記 $|IDS|$ ヒストグラム作成部301により、MOSトランジスタの $|IDS|$ を、 $|IDS|$ ヒストグラムにより表すようにしたので、リーク電流が発生する可能性のある箇所を視覚的に検出することが可能となる。

【0255】

なお、上述した全ての実施の形態で説明した各ステップの順序は、上記の通りでなくとも、同じ効果が得られる場合、その順序は問わない。

【0256】

また、上記各実施の形態で説明した抽出ネットデータベース14、抵抗素子名データベース16、抽出ネット数保持部32などの記述は、各図に示す通りでなくとも、同じ効果が得られる場合、その表記方法は問わない。

【0257】

さらに、上記各実施の形態においては、ネットリストに挿入される抵抗素子の抵抗値が $100T$ としているが(図5(c)等参照)、他の回路の動作に支障をきたさない程度の高抵抗(数 $GOhm$ ~数百 $TOhm$ 程度)であれば、この値によらない。

【0258】

さらに、上記各実施の形態では、ネットリスト変換装置、あるいは静止状態リーク電流検出装置として説明したが、上記装置によるネットリスト変換処理、あるいは静止状態リーク電流検出処理をコンピュータにより自動的に行わせるプログラムを生成し、上記検出対象回路に対して、コンピュータで自動的に、ネットリスト変換処理、あるいは静止状態リーク電流検出処理を行うようにしてもよい。

【産業上の利用可能性】

【0259】

本発明のネットリスト変換装置及び静止状態リーク電流検出装置は、低消費電力のシステム開発を容易にし、携帯端末の長時間駆動、省エネルギーを実現させるのに有用である。

【図面の簡単な説明】

【0260】

【図1】本発明の実施の形態1におけるネットリスト変換装置の構成を示す図である。

【図2】本発明の実施の形態1のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

【図3】本発明の実施の形態1のネットリスト変換装置によるネットリスト変換処理の、ネット抽出処理の詳細な流れを示す図である。

【図 4】本発明の実施の形態 1 のネットリスト変換装置によるネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。

【図 5 (a)】本発明の実施の形態 1 のネットリスト変換装置によりネットリスト変換処理される対象回路のネットリストを示す図である。

【図 5 (b)】本発明の実施の形態 1 にかかるネットリスト変換装置のネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

【図 5 (c)】本発明の実施の形態 1 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

【図 6】本発明の実施の形態 1 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

【図 7】本発明の実施の形態 2 にかかるネットリスト変換装置の構成を示す図である。

【図 8】本発明の実施の形態 2 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

【図 9】本発明の実施の形態 2 のネットリスト変換装置によるネットリスト変換処理の、重複ネット削除処理の詳細な流れを示す図である。

【図 10 (a)】本発明の実施の形態 2 にかかるネットリスト変換装置のネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

【図 10 (b)】本発明の実施の形態 2 にかかるネットリスト変換装置の重複ネット削除部により処理された後の抽出ネットデータベースを示す図である。

【図 10 (c)】本発明の実施の形態 2 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

【図 11】本発明の実施の形態 2 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

【図 12】本発明の実施の形態 3 にかかるネットリスト変換装置の構成を示す図である。

【図 13】本発明の実施の形態 3 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

【図 14】本発明の実施の形態 3 のネットリスト変換装置によるネットリスト変換処理の、抽出ネット数カウント処理の詳細な流れを示す図である。

【図 15】本発明の実施の形態 3 におけるネットリスト変換装置の抽出ネット数カウント部で抽出される、抽出ネット数保持部を示す図である。

【図 16】本発明の実施の形態 4 におけるネットリスト変換装置の構成を示す図である。

【図 17】本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である。

【図 18】本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の、トランジスタ置換え処理の詳細な流れを示す図である。

【図 19】本発明の実施の形態 4 のネットリスト変換装置によるネットリスト変換処理の、サブサーキット追加処理の詳細な流れを示す図である。

【図 20】本発明の実施の形態 4 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後の置換えトランジスタ数保持部とを示す図である。

【図 21】本発明の実施の形態 4 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストの回路図である。

【図 22】本発明の実施の形態 5 にかかるネットリスト変換装置の構成を示す図であ

る。

【図 23】本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の一連の流れを示す図である

【図 24】本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の、第 2 ネット抽出処理の詳細な流れを示す図である。

【図 25】本発明の実施の形態 5 のネットリスト変換装置によるネットリスト変換処理の、抵抗挿入処理の詳細な流れを示す図である。

【図 26 (a)】本発明の実施の形態 5 のネットリスト変換装置によりネットリスト変換処理される対象回路のネットリストを示す図である。

【図 26 (b)】本発明の実施の形態 5 にかかるネットリスト変換装置の第 1 ネット抽出部により抽出される抽出ネットデータベースと抵抗素子名データベースとを示す図である。

【図 26 (c)】本発明の実施の形態 5 にかかるネットリスト変換装置のサブサーキットデータベース、及び第 2 ネット抽出部により抽出される抽出ネットデータベースを示す図である。

【図 26 (d)】本発明の実施の形態 5 にかかるネットリスト変換装置の重複ネット削除部により処理された後の抽出ネットデータベースを示す図である。

【図 26 (e)】本発明の実施の形態 5 にかかるネットリスト変換装置の抽出ネット数保持部を示す図である。

【図 26 (f)】本発明の実施の形態 5 にかかるネットリスト変換装置によりネットリスト変換処理した変換後ネットリストと、変換処理後における抵抗素子名データベースとを示す図である。

【図 27】本発明の実施の形態 6 にかかる静止状態リーク電流検出装置の構成を示す図である。

【図 28】本発明の実施の形態 6 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の一連の流れを示す図である。

【図 29】本発明の実施の形態 6 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の、トランジスタ検索処理の詳細な流れを示す図である。

【図 30】本発明の実施の形態 7 にかかる静止状態リーク電流検出装置の構成を示す図である。

【図 31】本発明の実施の形態 7 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の一連の流れを示す図である。

【図 32】本発明の実施の形態 7 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の、全リーク電流算出処理の詳細な流れを示す図である。

【図 33】本発明の実施の形態 8 にかかる静止状態リーク電流検出装置の構成を示す図である。

【図 34】本発明の実施の形態 8 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の一連の流れを示す図である。

【図 35】本発明の実施の形態 8 の静止状態リーク電流検出装置による静止状態リーク電流検出処理の、 $|IDS|$ ヒストグラム作成処理の詳細な流れを示す図である。

【図 36 (a)】本発明の実施の形態 8 における静止状態リーク電流検出装置の、 $|IDS|$ ヒストグラム作成部によって得られるトランジスタ $|IDS|$ データベースを示す図である。

【図 36 (b)】本発明の実施の形態 8 における静止状態リーク電流検出装置の、 $|IDS|$ ヒストグラム作成部によって得られるトランジスタ $|IDS|$ データベースにより得られるヒストグラムを示す図である。

【図 37 (a)】本発明を説明するための回路例である。

【図 37 (b)】本発明を説明するための回路例である。

【図 38】従来の課題を説明するための回路例である。

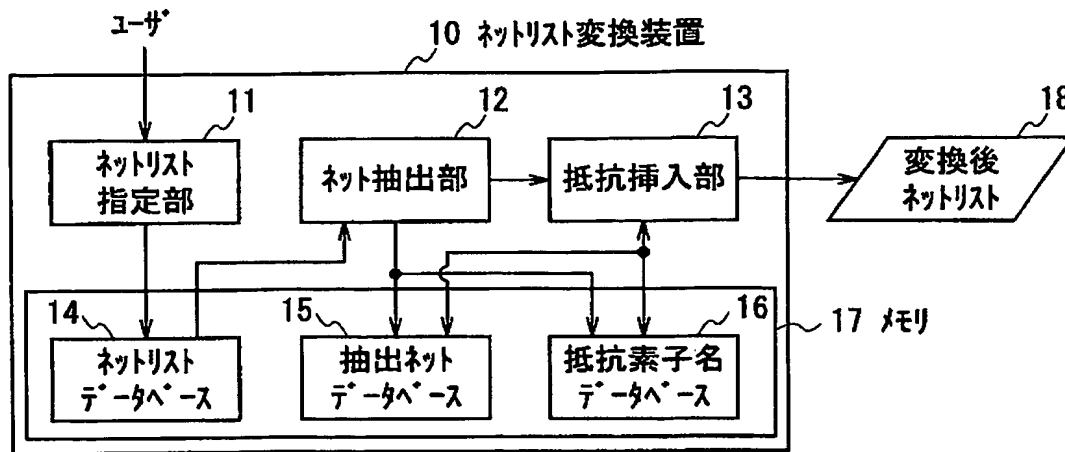
【符号の説明】

【0261】

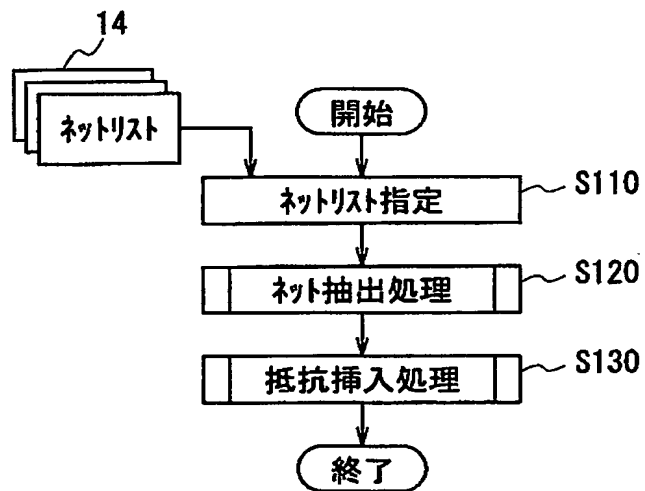
10, 20, 30, 40, 50 ネットリスト変換装置
11 ネットリスト指定部
12 ネット抽出部
13, 53 抵抗挿入部
14 ネットリストデータベース
15, 25, 55 抽出ネットデータベース
16, 26, 56 抵抗素子名データベース
17, 27, 37, 47, 57, 105, 205, 305 メモリ
18, 28, 48, 58 変換後ネットリスト
21 重複ネット削除部
31 抽出ネット数カウント部
32 抽出ネット保持部
41 トランジスタ置換え部
42 サブサーキット追加部
43 置換えトランジスタ数保持部
44 置換えサブサーキットデータベース
52 サブサーキットデータベース
51 第2ネット抽出部
100, 200, 300 静止状態リーク電流検出装置
101 直流解析部
102 トランジスタ検出部
103 直流解析結果保持部
104 電流リークトランジスタデータベース
151, 251, 551 抽出ネットデータベース: AVDD
152, 252, 552 抽出ネットデータベース: VDD
201 全リーク電流算出部
202 全リーク電流保持部
301 |IDS| ヒストグラム作成部
302 トランジスタ |IDS| データベース
3701, 3702, 3710, 3711, 3712, 3720, 3721, 3722
, 3730, 3731, 3732 回路

【書類名】 図面

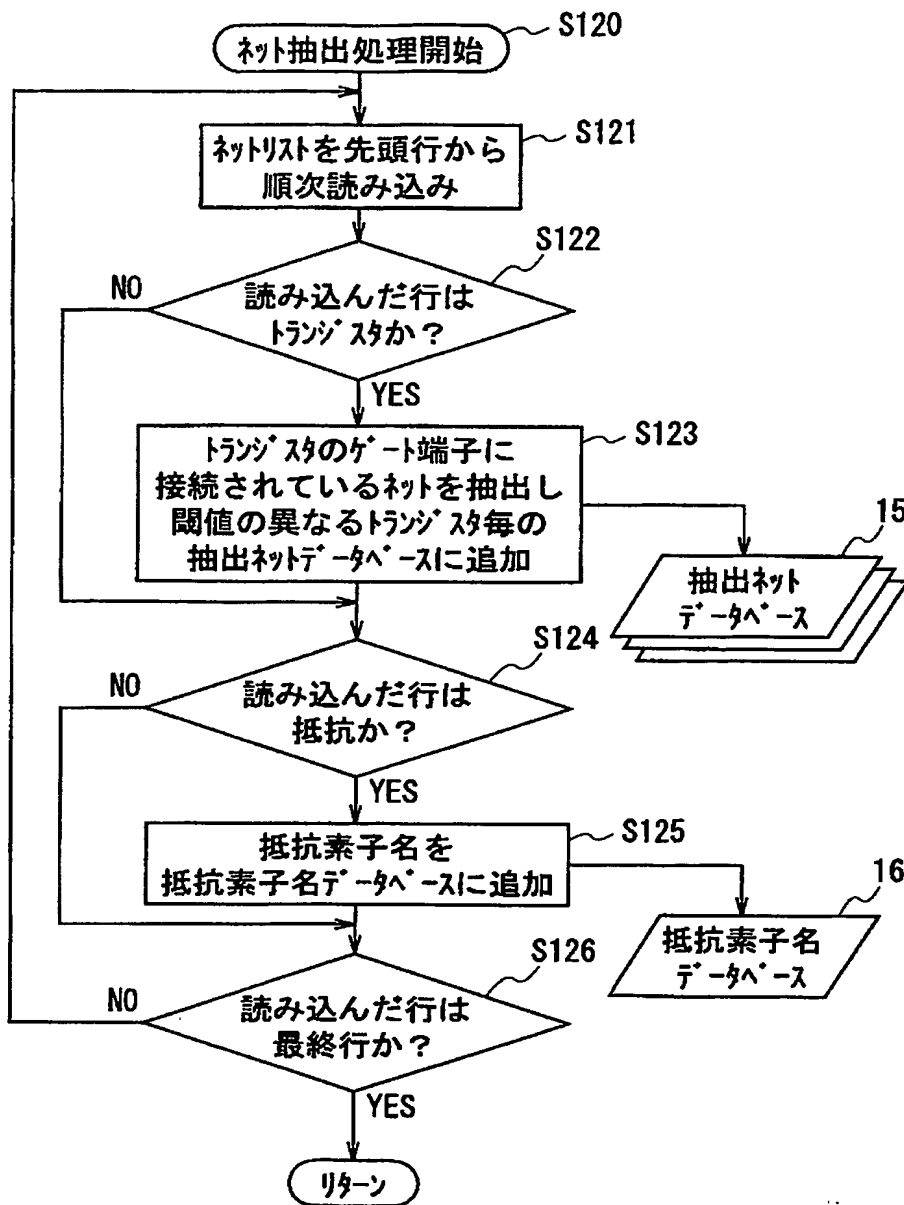
【図 1】



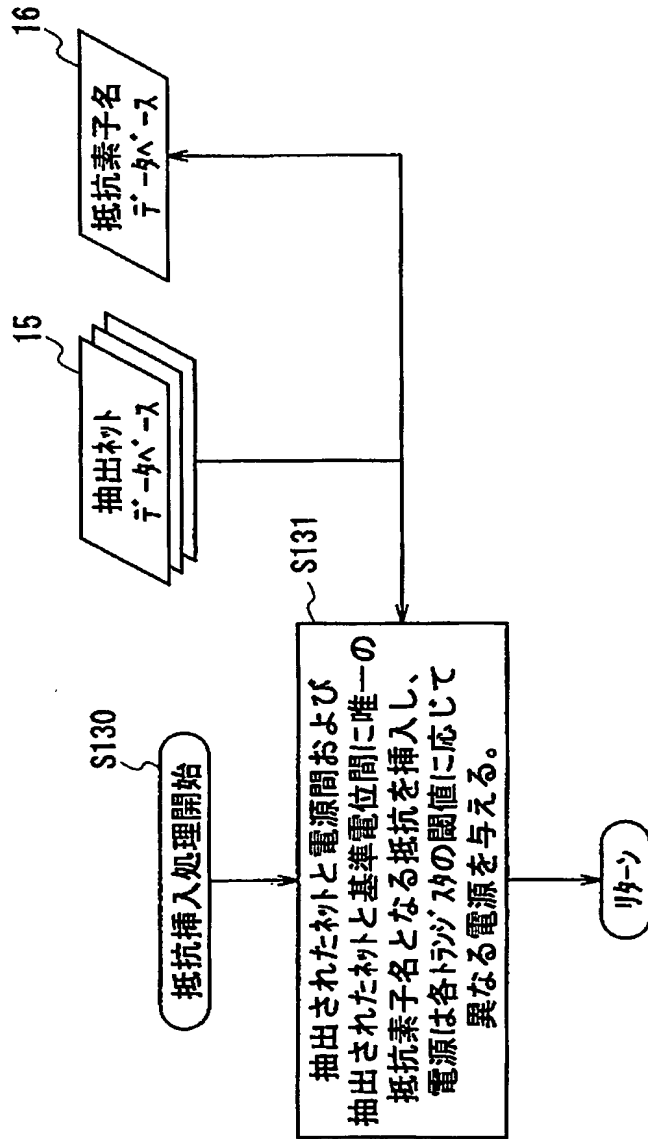
【図 2】



【図 3】



【図 4】



【図 5 (a)】

対象ネットリスト

14

```

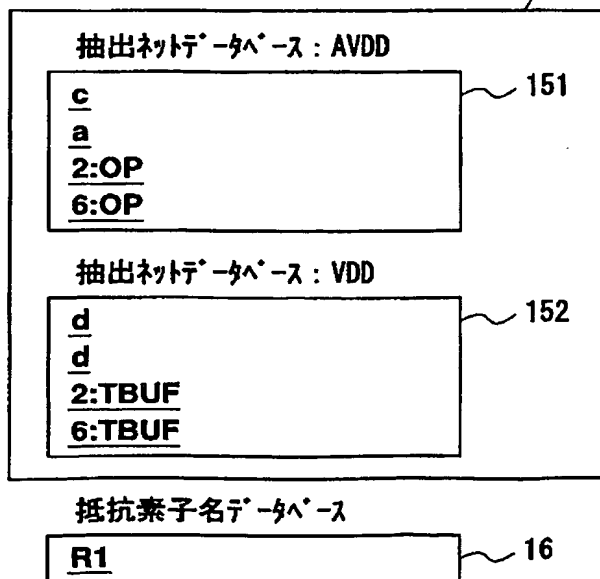
1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0    nchhvt l=1u w=5u
3.  R1  b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0    0    nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13.      :
14. .END OP
15.
16. .SUBCKT TBUF IN OUT E
17. MP01 1 2 3 4 pchlvt l=1u w=2u
18. MN01 5 6 7 8 nchlvt l=1u w=1u
19.      :
20. .END TBUF
21.
22. .end

```

【図 5 (b)】

抽出ネットデフォース

15



【図 5 (c)】

変換後ネットリスト

```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0   0     nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13.      :
14.  ROP000 2 AVDD 100T
15.  ROP001 2 0      100T
16.  ROP002 6 AVDD 100T
17.  ROP003 6 0      100T
18. .END OP
19.
20. .SUBCKT TBUF IN OUT E
21. MP01 1 2 3 4 pchlvt l=1u w=2u
22. MN01 5 6 7 8 nchlvt l=1u w=1u
23.      :
24.  RTBUF000 2 VDD 100T
25.  RTBUF001 2 0      100T
26.  RTBUF002 6 VDD 100T
27.  RTBUF003 6 0      100T
28. .END TBUF
29.
30.  R1000 c AVDD 100T
31.  R1001 c 0      100T
32.  R1002 a AVDD 100T
33.  R1003 a 0      100T
34.  R1004 d VDD 100T
35.  R1005 d 0      100T
36.  R1006 d VDD 100T
37.  R1007 d 0      100T
38.
39. .end

```

抵抗素子名デフォルト

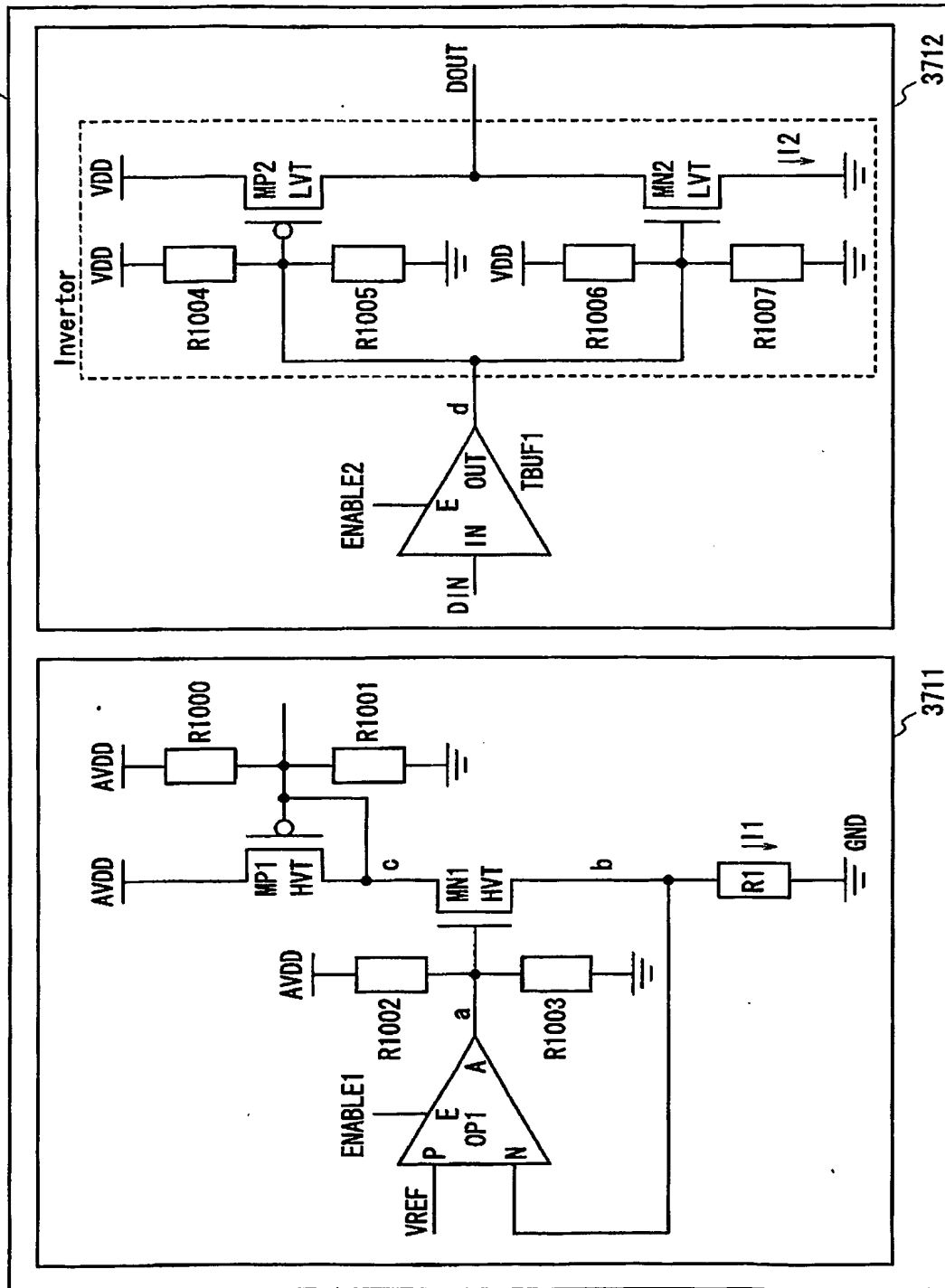
```

R1
ROP000:OP
ROP001:OP
ROP002:OP
ROP003:OP
RTBUF000:TBUF
RTBUF001:TBUF
RTBUF002:TBUF
RTBUF003:TBUF
R1000
R1001
R1002
R1003
R1004
R1005
R1006
R1007

```

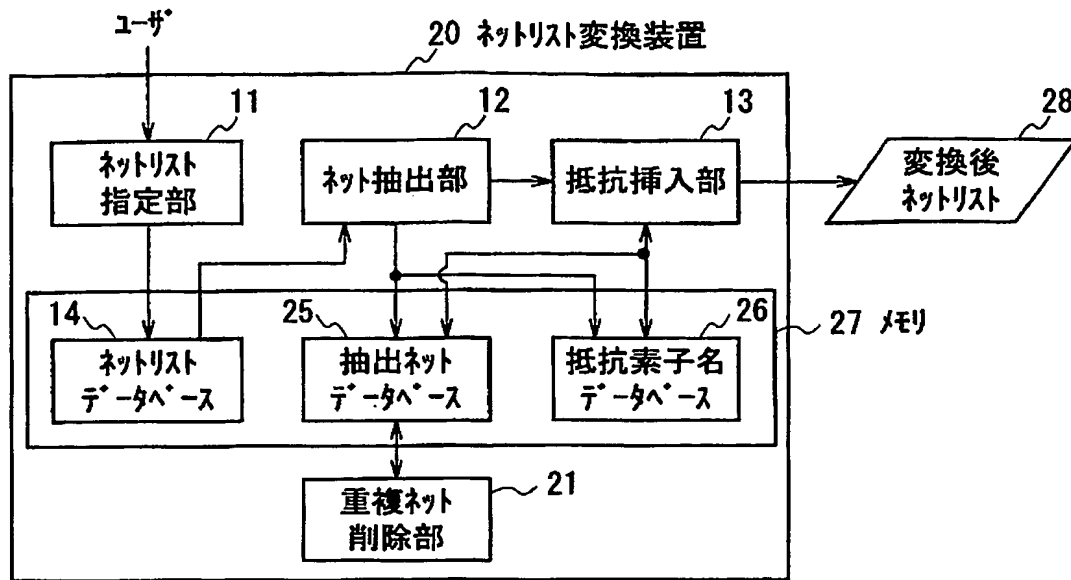
【図 6】

3710

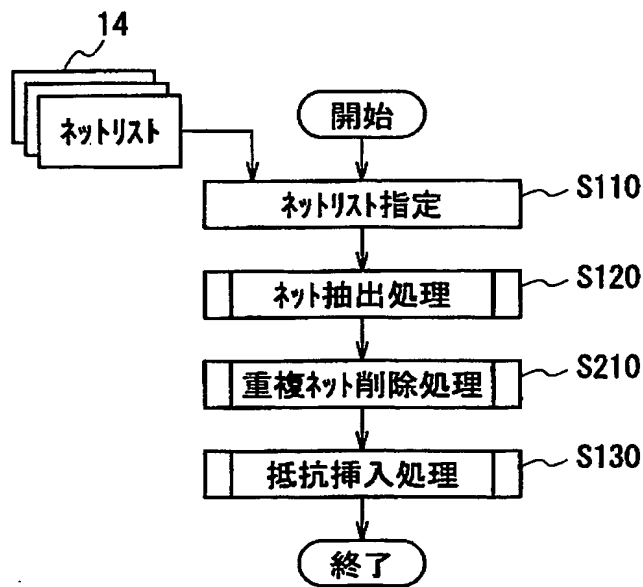


3711

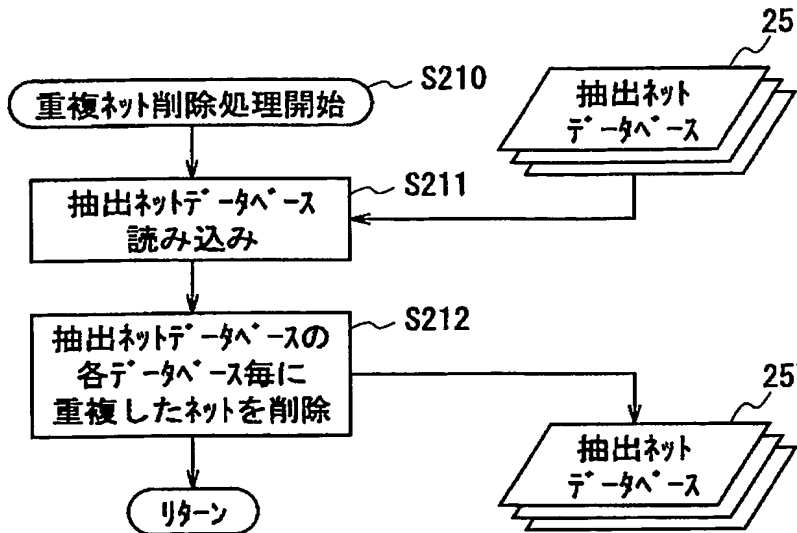
【図 7】



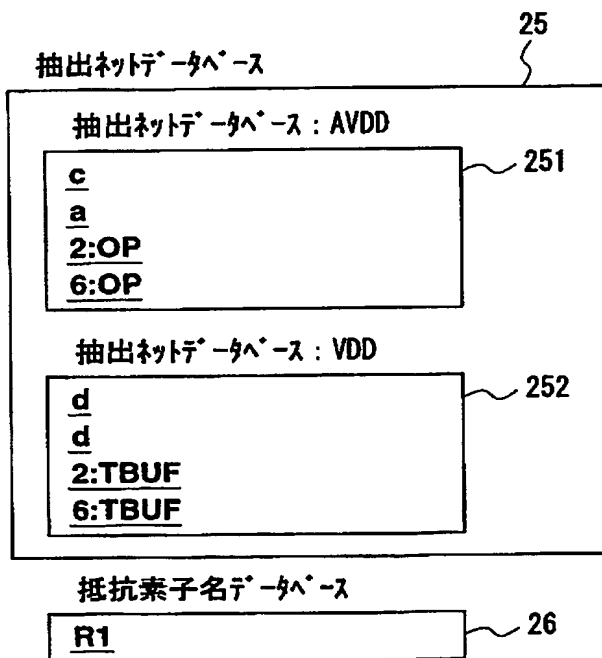
【図 8】



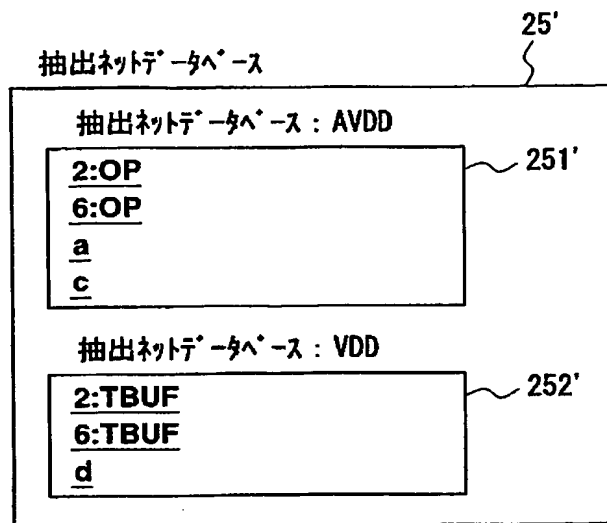
【図 9】



【図 10 (a)】



【図 10 (b)】



【図 10 (c)】

変換後ネットリスト

28

```

1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0      nchhvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  MP2 DOUT d VDD VDD pchlvt l=1u w=2u
7.  MN2 DOUT d 0      0      nchlvt l=1u w=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11. MP01 1 2 3 4 pchhvt l=1u w=5u
12. MN01 5 6 7 8 nchhvt l=1u w=5u
13. :
14. R0P000 2 AVDD 100T
15. R0P001 2 0      100T
16. R0P002 6 AVDD 100T
17. R0P003 6 0      100T
18. .END OP
19.
20. .SUBCKT TBUF IN OUT E
21. MP01 1 2 3 4 pchlvt l=1u w=2u
22. MN01 5 6 7 8 nchlvt l=1u w=1u
23. :
24. RTBUF000 2 VDD 100T
25. RTBUF001 2 0      100T
26. RTBUF002 6 VDD 100T
27. RTBUF003 6 0      100T
28. .END TBUF
29.
30. R1000 c AVDD 100T
31. R1001 c 0      100T
32. R1002 a AVDD 100T
33. R1003 a 0      100T
34. R1004 d VDD 100T
35. R1005 d 0      100T
36.
37. .end

```

26'

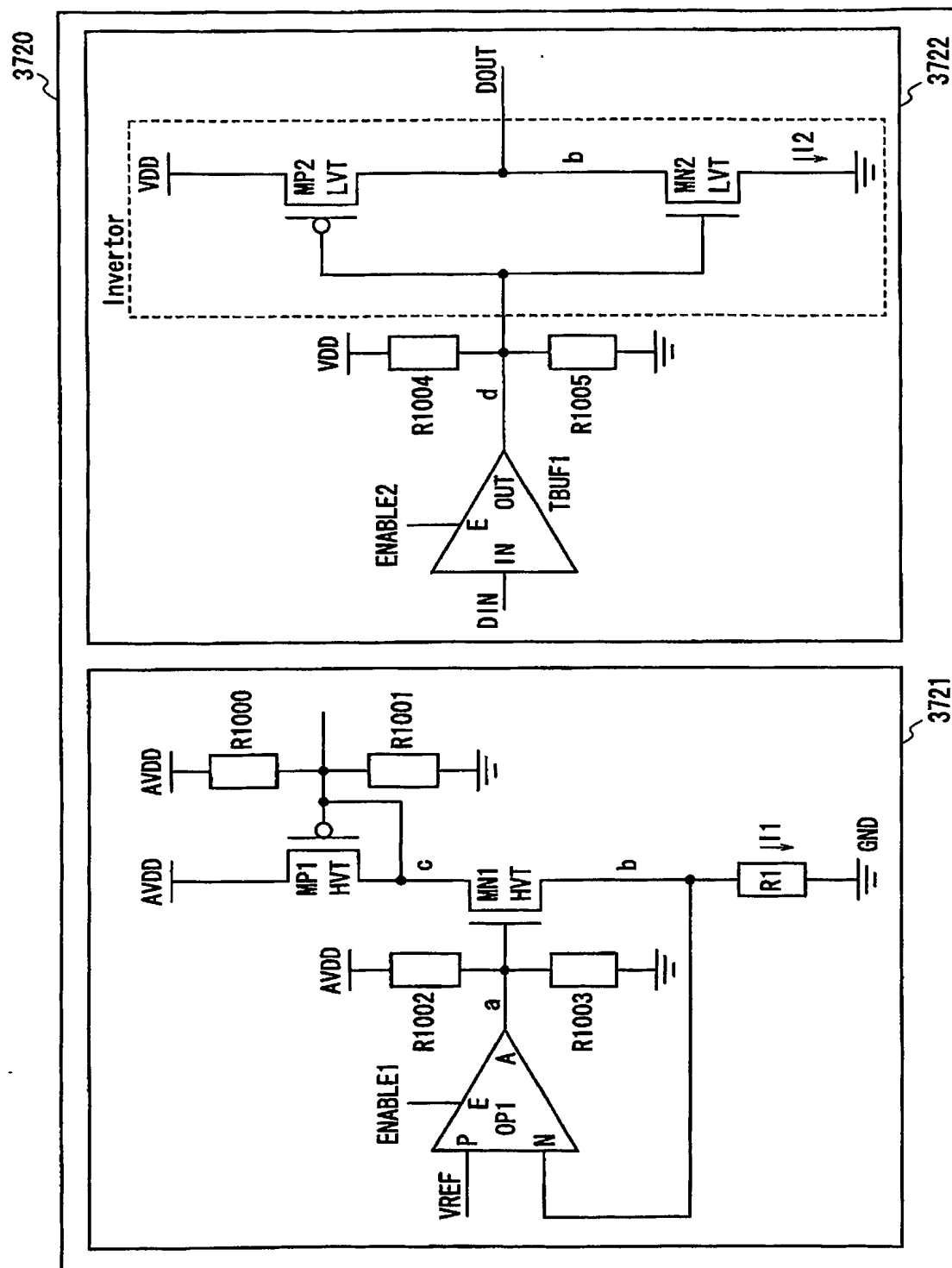
抵抗素子名データ

```

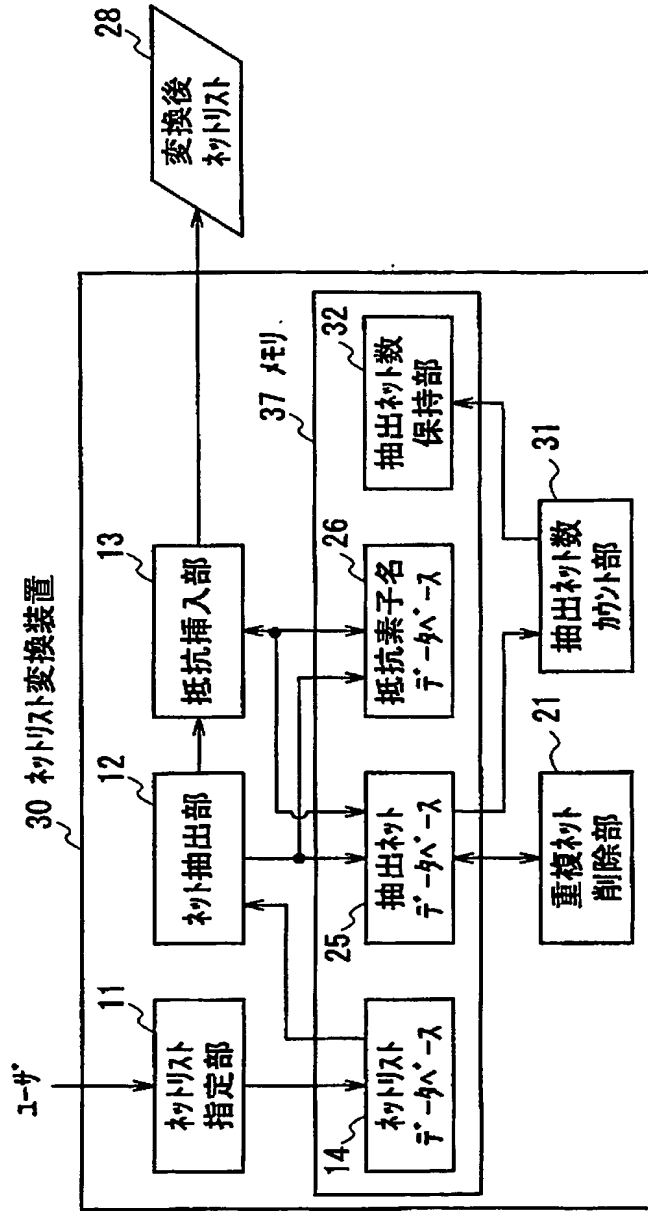
R1
R0P000:OP
R0P001:OP
R0P002:OP
R0P003:OP
RTBUF000:TBUF
RTBUF001:TBUF
RTBUF002:TBUF
RTBUF003:TBUF
R1000
R1001
R1002
R1003
R1004
R1005

```

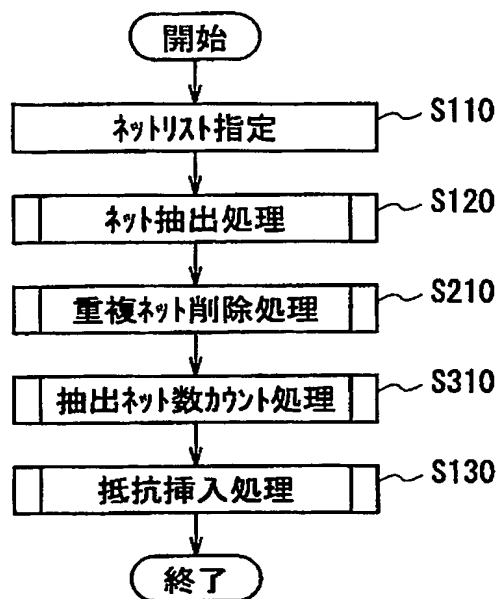
【図 1 1】



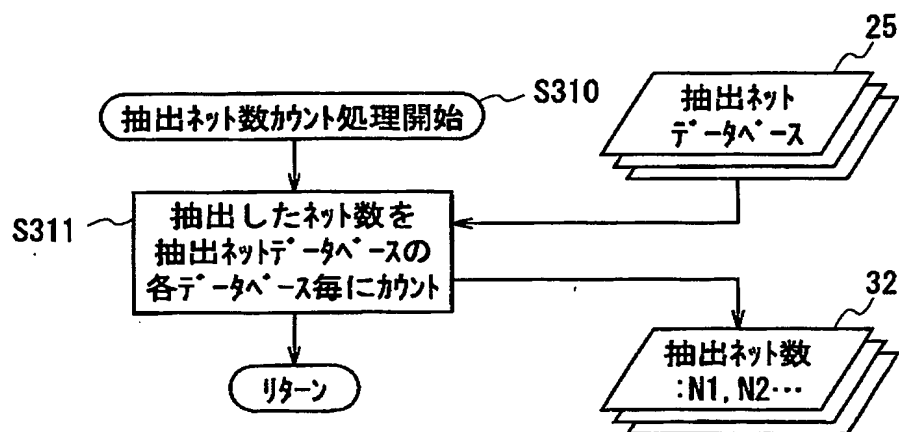
【図 12】



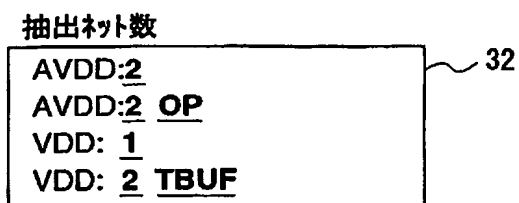
【図 13】



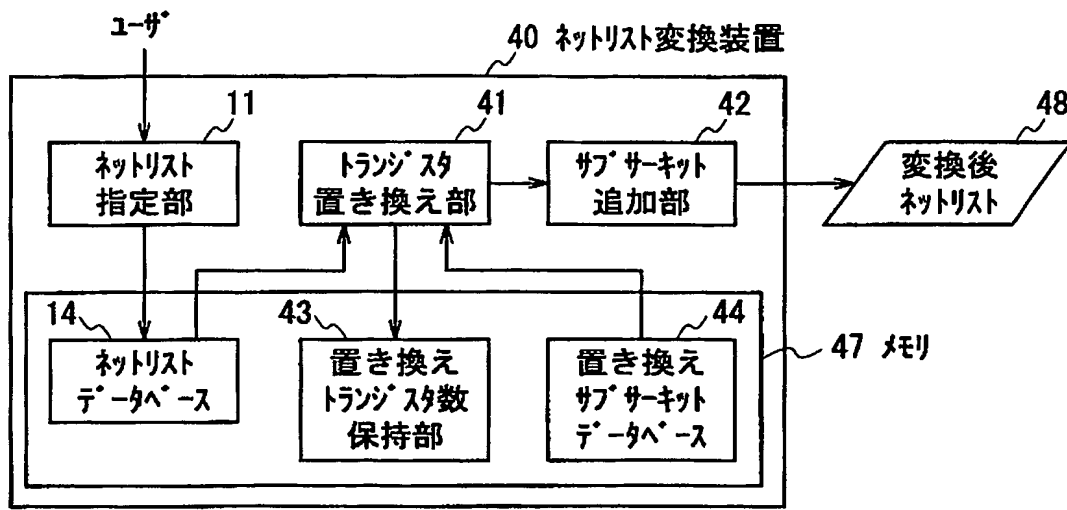
【図 14】



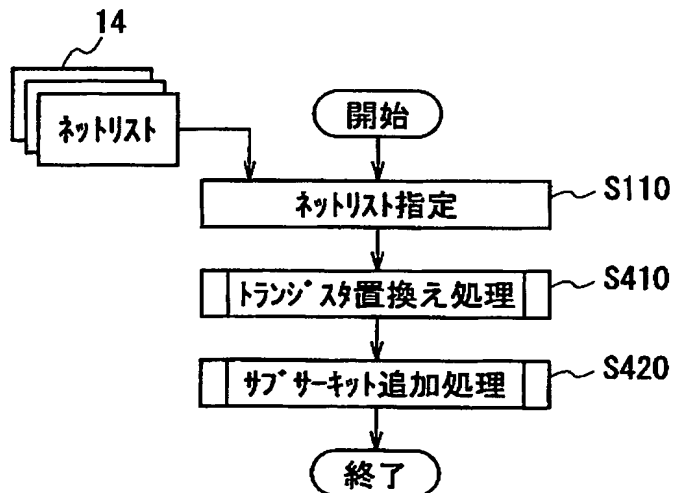
【図 15】



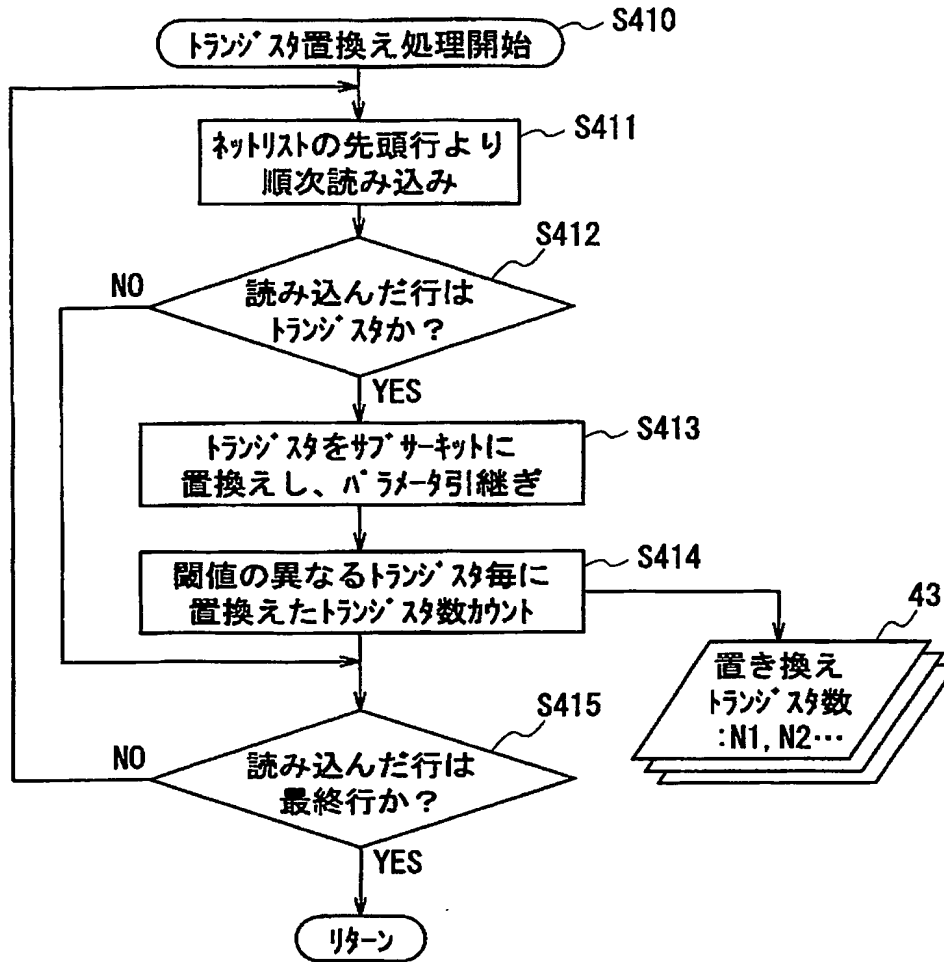
【図 16】



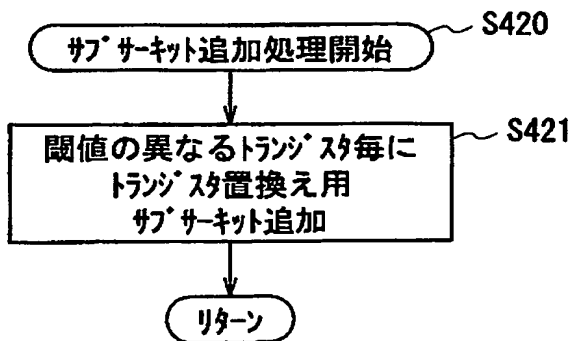
【図 17】



【図 18】



【図 19】



【図 20】

変換後ネットリスト

```

1.  XMP1 c c AVDD AVDD PHVT PARAMS:LPH=1u, WPH=5u
2.  XMN1 c a b    0    NHVT PARAMS:LNH=1u, WNH=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XMP2 DOUT d VDD VDD PLVT PARAMS:LPL=1u, WPL=2u
7.  XMN2 DOUT d 0    0    NLVT PARAMS:LNL=1u, WNL=1u
8.  XTBUF1 DIN d ENABLE2 TBUF
9.
10. .SUBCKT OP P N A E
11.  XMP01 1 2 3 4 PHVT PARAMS:LPH=1u, WPH=5u
12.  XMN01 5 6 7 8 NHVT PARAMS:LNH=1u, WNH=5u
13.  :
14. .END OP
15.
16. .SUBCKT TBUF IN OUT E
17.  XMP01 1 2 3 4 PLVT PARAMS:LPH=1u, WPH=2u
18.  XMN01 5 6 7 8 NLVT PARAMS:LNH=1u, WNH=1u
19.  :
20. .END TBUF
21.
22. .SUBCKT PHVT D G S B PARAMS:LPH=1u, WPH=1u
23.  MPH D G S B pchhvt l=LPH w=WPH
24.  RPH1 G AVDD 100T
25.  RPH2 G 0    100T
26. .END PHVT
27.
28. .SUBCKT NHVT D G S B PARAMS:LNH=1u, WNH=1u
29.  MNH D G S B nchhvt l=LNH w=WNH
30.  RNH1 G AVDD 100T
31.  RNH2 G 0    100T
32. .END NHVT
33.
34. .SUBCKT PLVT D G S B PARAMS:LPL=1u, WPL=1u
35.  MPL D G S B pchlvt l=LPL w=WPL
36.  RPL1 G VDD 100T
37.  RPL2 G 0    100T
38. .END PLVT
39.
40. .SUBCKT NLVT D G S B PARAMS:LNL=1u, WNL=1u
41.  MNL D G S B nchlvt l=LNL w=WNL
42.  RNL1 G VDD 100T
43.  RNL2 G 0    100T
44. .END NLVT
45.
46. .end

```

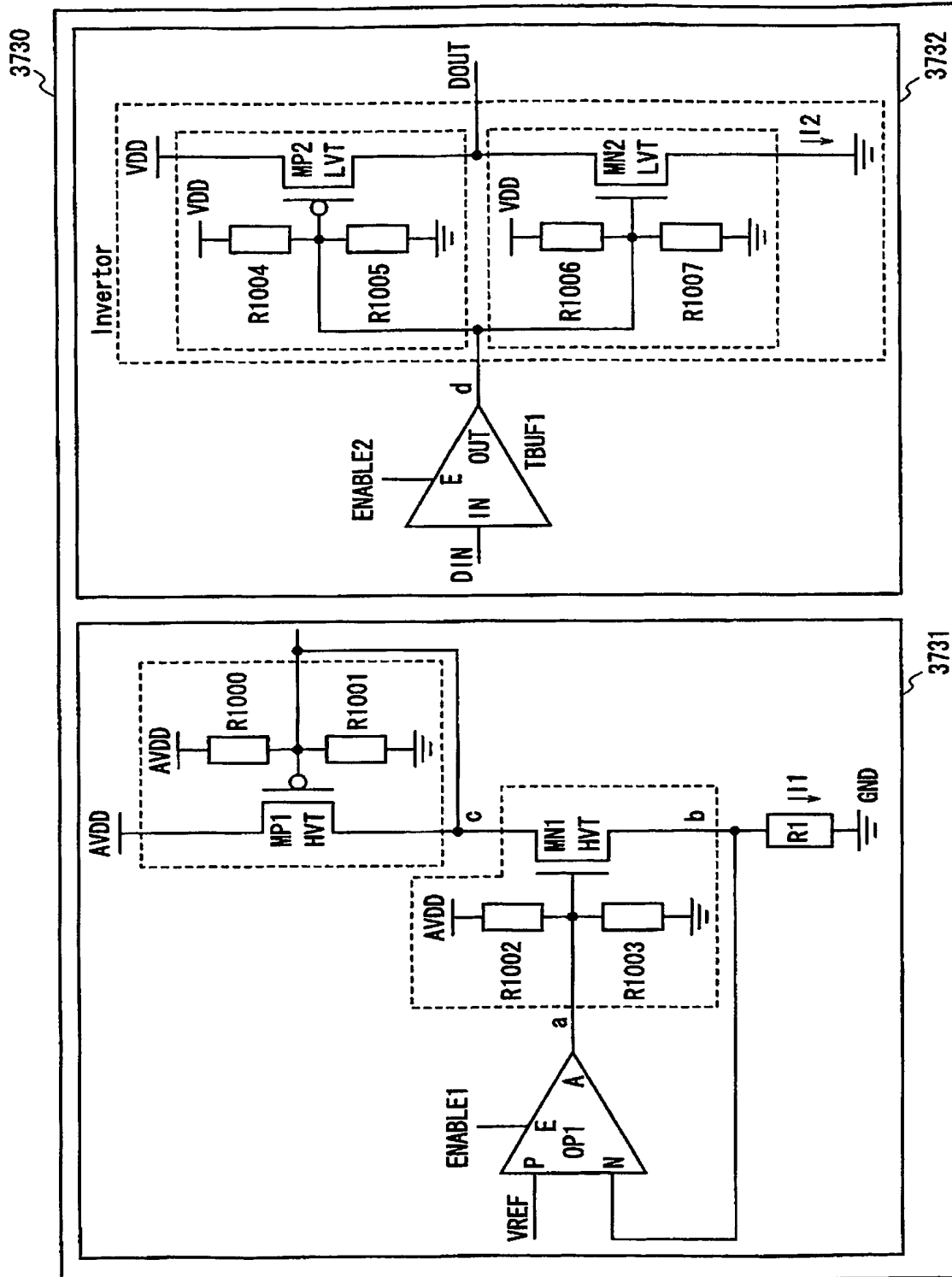
48

置き換え
トランジスタ数

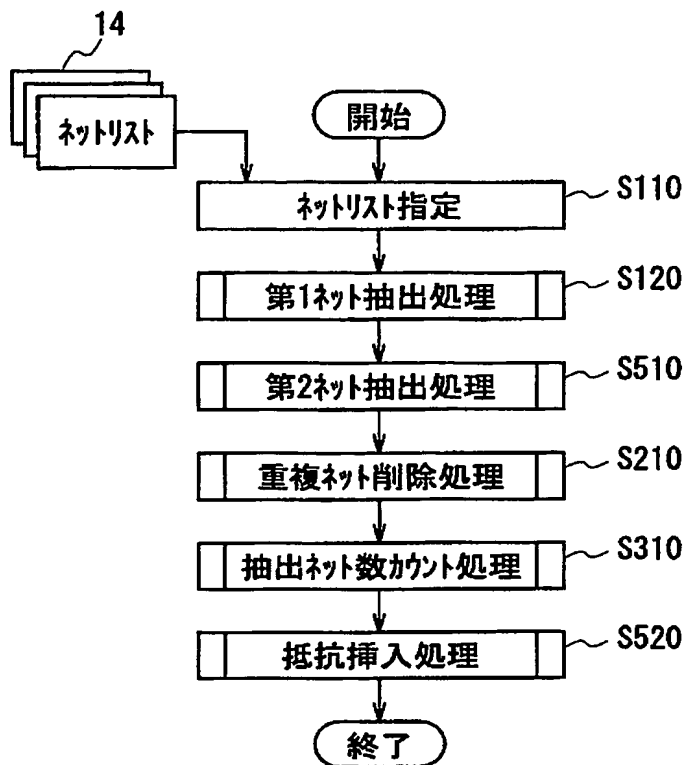
43

AVDD:2
AVDD:2 OP:1
VDD: 2
VDD: 2 TBUF:1

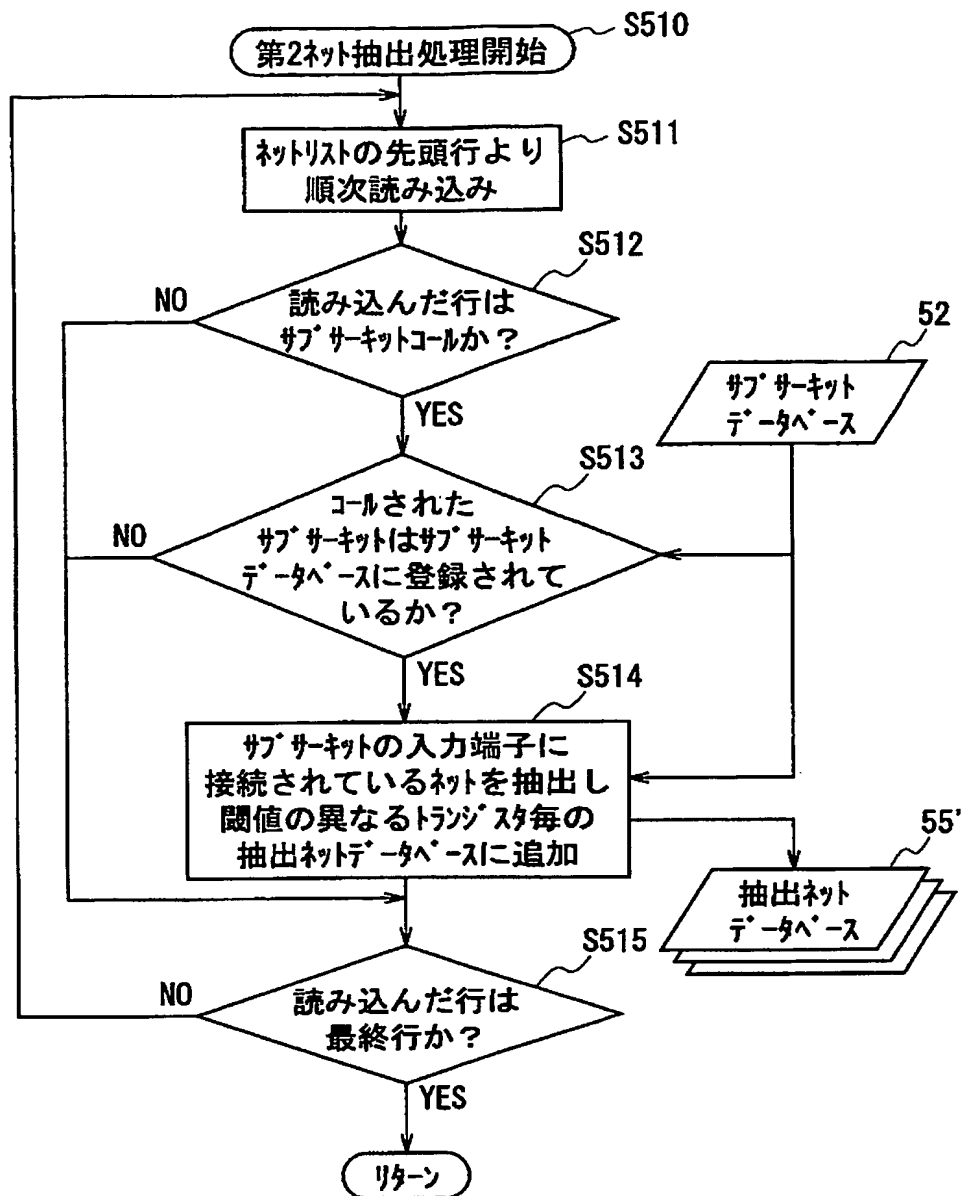
【図 21】



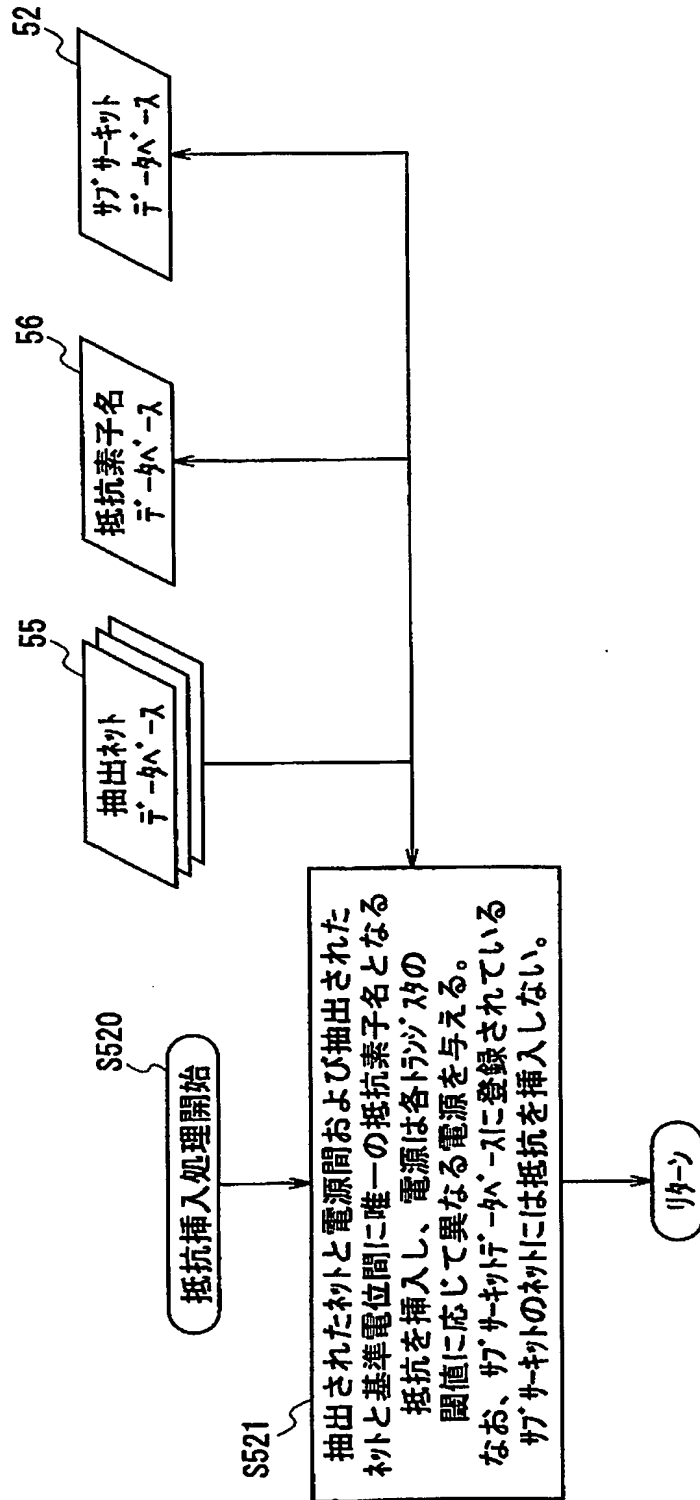
【図 23】



【図 24】



【図 25】



【図 26 (a)】

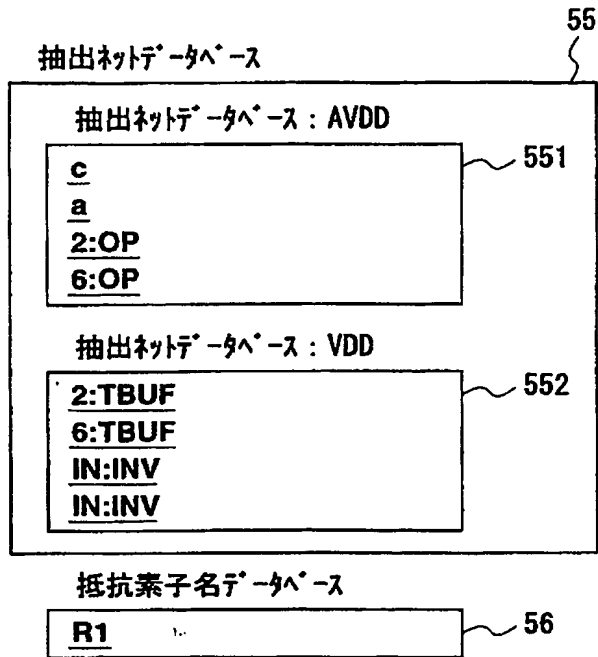
対象ネットリスト

```

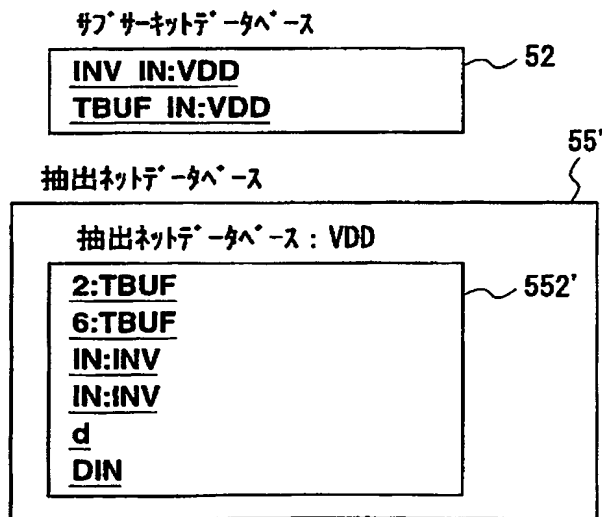
1.  MP1 c c AVDD AVDD pchhvt l=1u w=5u
2.  MN1 c a b      0    nchhvt l=1u w=5u
3.  R1  b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XINV1 d DOUT INV
7.  XTBUF1 DIN d ENABLE2 TBUF
8.
9.  .SUBCKT OP P N A E
10. MP01 1 2 3 4 pchlvt l=1u w=5u
11. MN01 5 6 7 8 nchlvt l=1u w=5u
12.  :
13. .END OP
14.
15. .SUBCKT TBUF IN OUT E
16. MP01 1 2 3 4 pchlvt l=1u w=2u
17. MN01 5 6 7 8 nchlvt l=1u w=1u
18.  :
19. .END TBUF
20.
21. .SUBCKT INV IN OUT
22. MP2 OUT IN VDD VDD pchlvt l=1u w=2u
23. MN2 OUT IN 0      0    nchlvt l=1u w=1u
24. .END INV
25.
26. .end

```

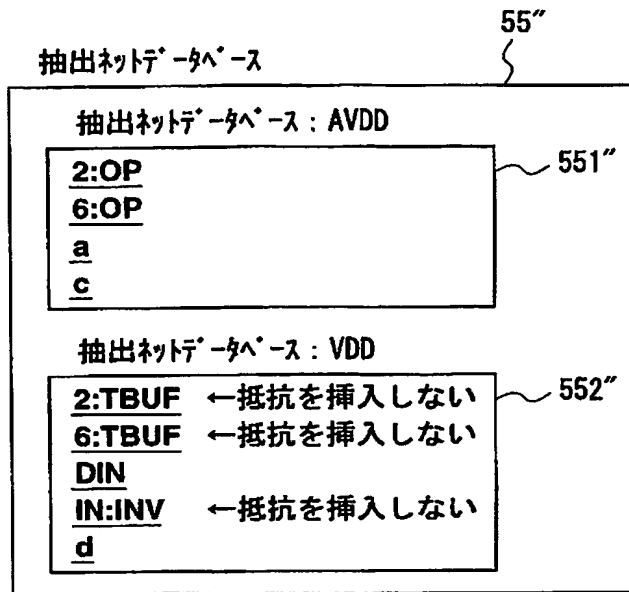
【図 26 (b)】



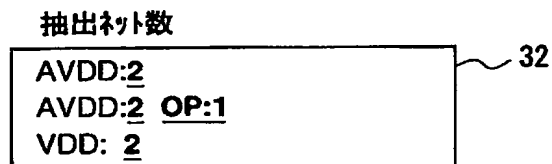
【図 26 (c)】



【図 26 (d)】



【図 26 (e)】



【図 26 (f)】

変換後リスト

58

```

1.  MP1 c c AVDD AVDD pchvt l=1u w=5u
2.  MN1 c a b      0      nchvt l=1u w=5u
3.  R1   b 0 10k
4.  XOP1 VREF b a ENABLE1 OP
5.
6.  XINV1 d DOUT INV
7.  XTBUF1 DIN d ENABLE2 TBUF
8.
9.  .SUBCKT OP P N A E
10. MP01 1 2 3 4 pchvt l=1u w=5u
11. MN01 5 6 7 8 nchvt l=1u w=5u
12.      :
13. ROP000 2 AVDD 100T
14. ROP001 2 0      100T
15. ROP002 6 AVDD 100T
16. ROP003 6 0      100T
17. .END OP
18.
19. .SUBCKT TBUF IN OUT E
20. MP01 1 2 3 4 pchvt l=1u w=2u
21. MN01 5 6 7 8 nchvt l=1u w=1u
22.      :
23. .END TBUF
24.
25. .SUBCKT INV IN OUT
26. MP2 DOUT d VDD VDD pchvt l=1u w=2u
27. MN2 DOUT d 0      0      nchvt l=1u w=1u
28. .END INV
29.
30. R1000 c AVDD 100T
31. R1001 c 0      100T
32. R1002 a AVDD 100T
33. R1003 a 0      100T
34. R1004 d VDD 100T
35. R1005 d 0      100T
36. R1006 DIN VDD 100T
37. R1007 DIN 0      100T
38.
39. .end

```

56'

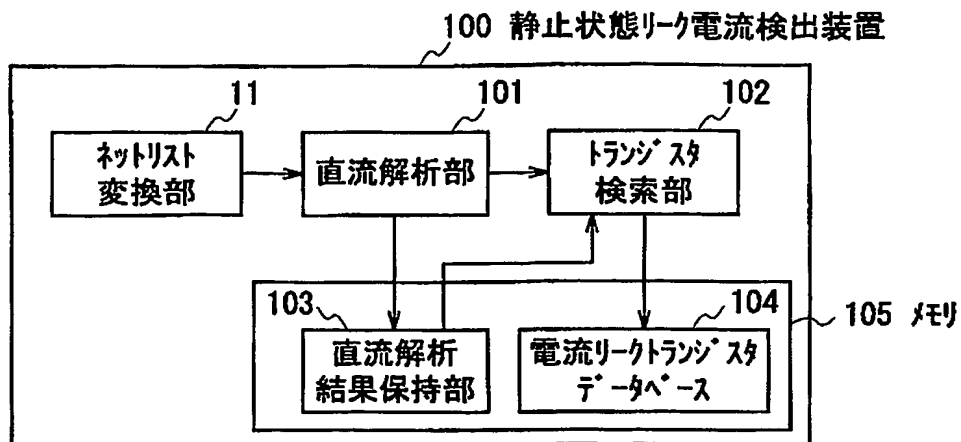
抵抗素子名デフォルト

```

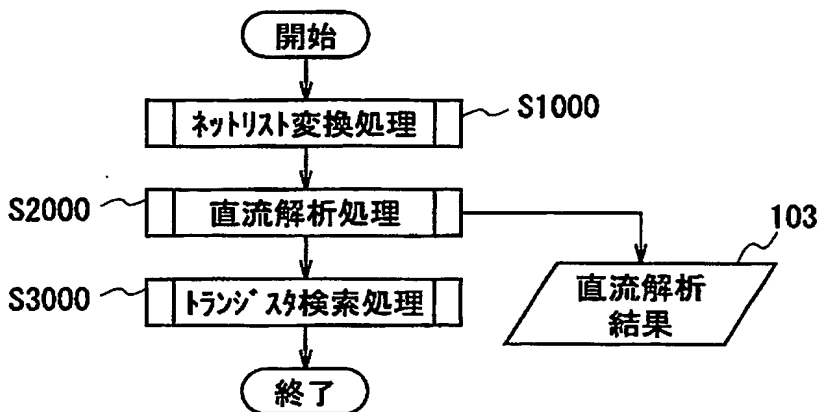
R1
ROP000:OP
ROP001:OP
ROP002:OP
ROP003:OP
R1000
R1001
R1002
R1003
R1004
R1005
R1006
R1007

```

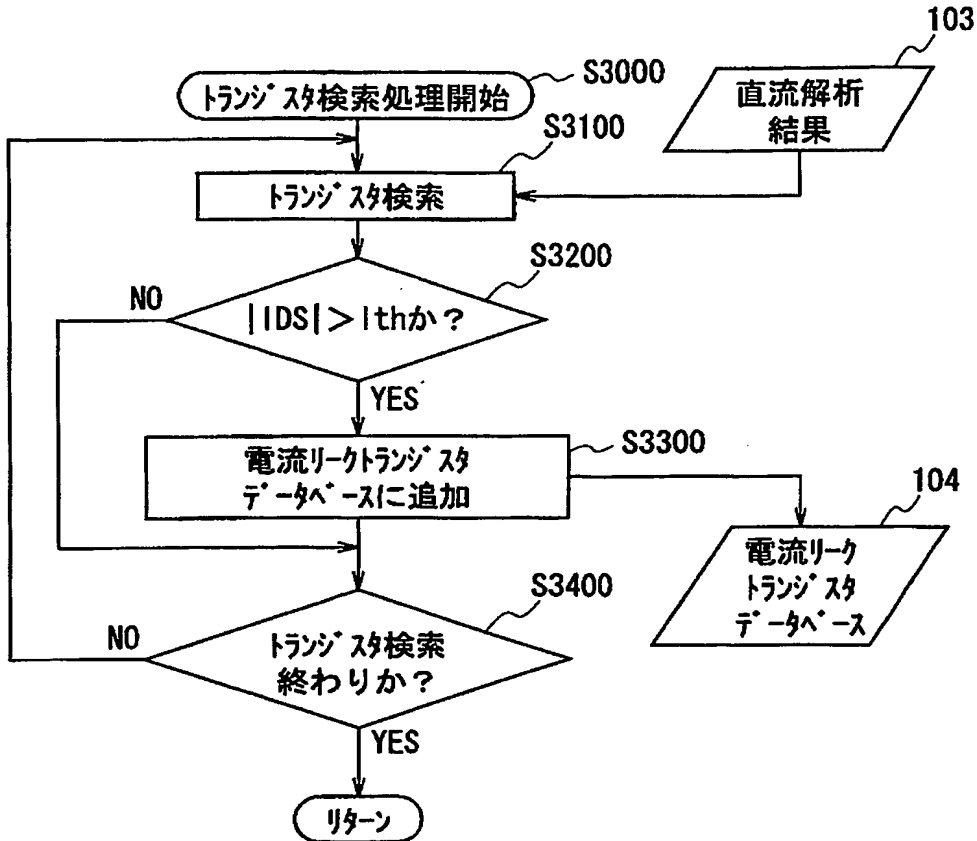
【図 27】



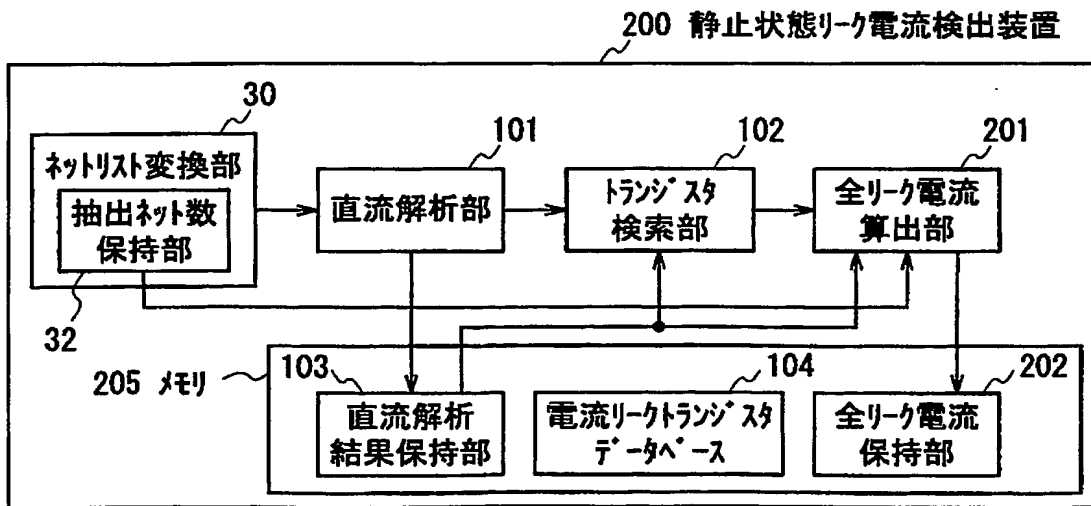
【図 28】



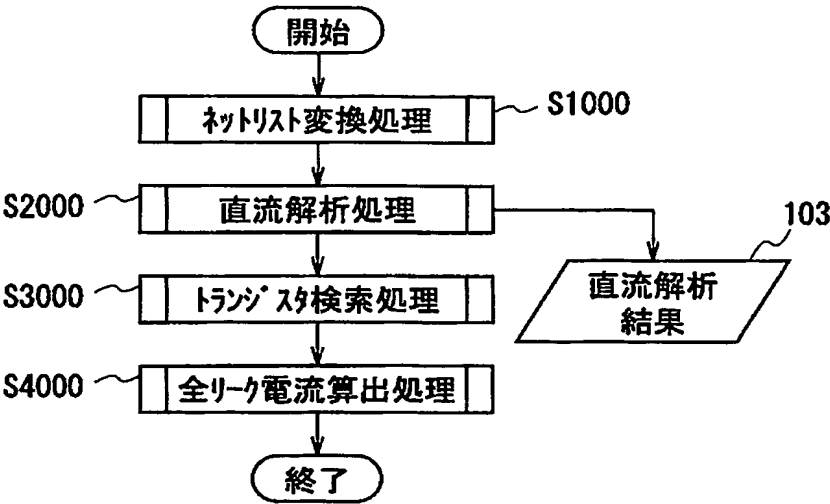
【図 29】



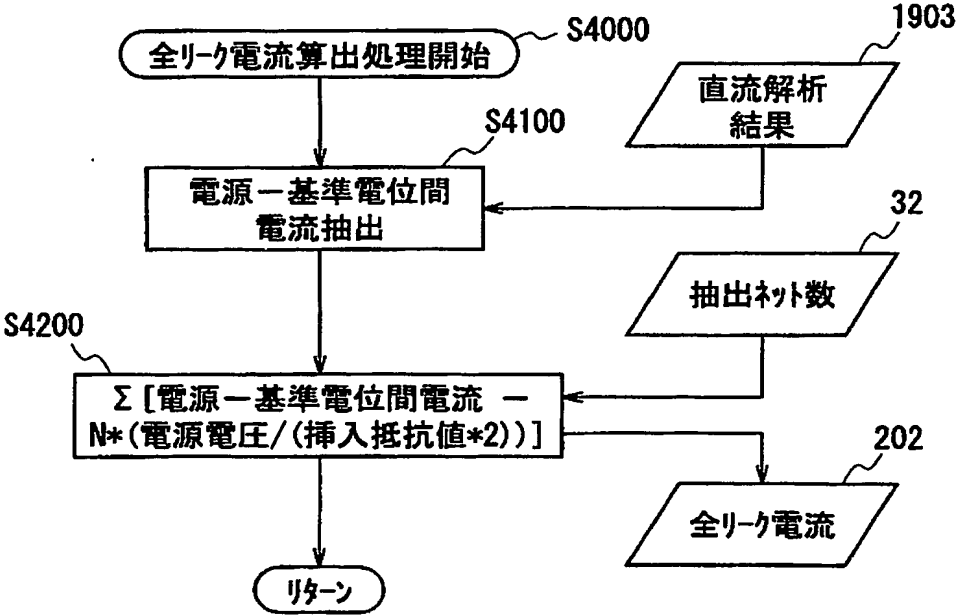
【図 30】



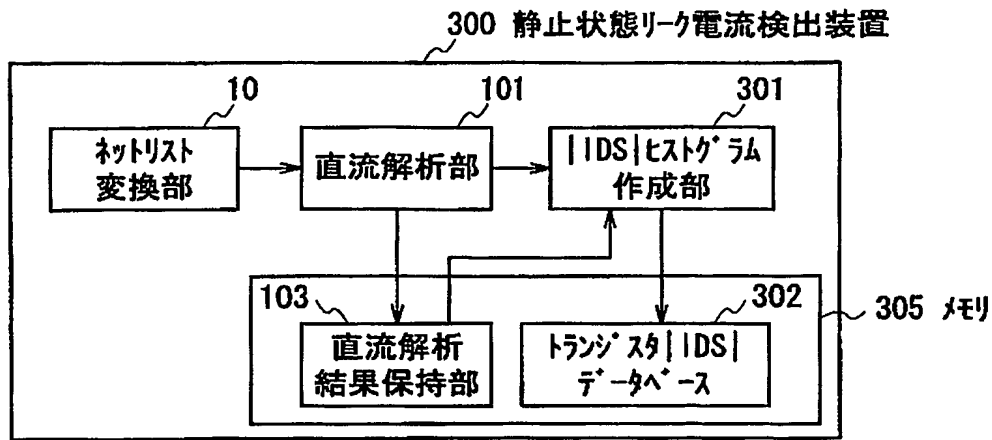
【図 3 1】



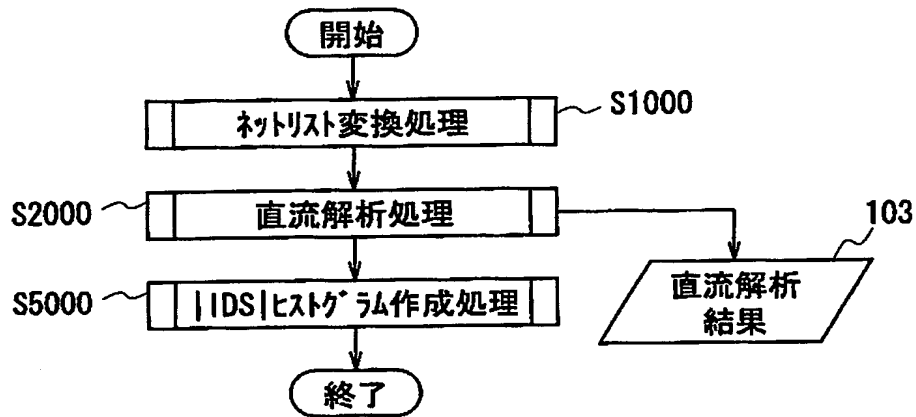
【図 3 2】



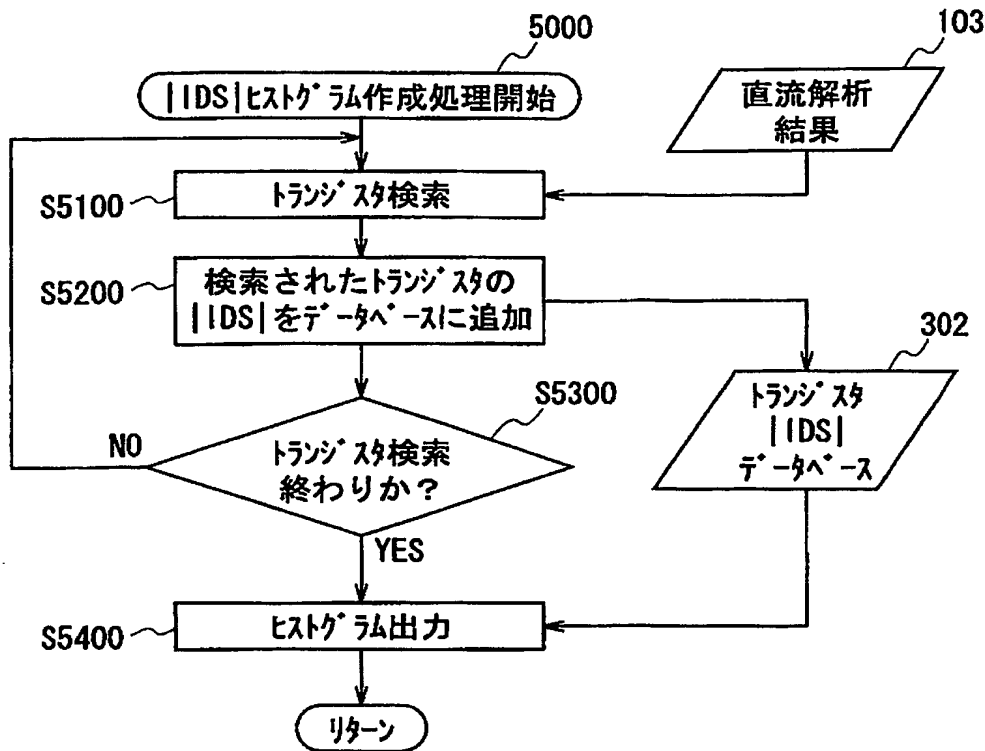
【図 3 3】



【図 3 4】



【図 3 5】



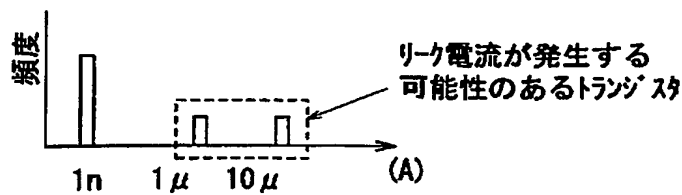
【図 3 6 (a)】

トランジスタ |IDS| データベース

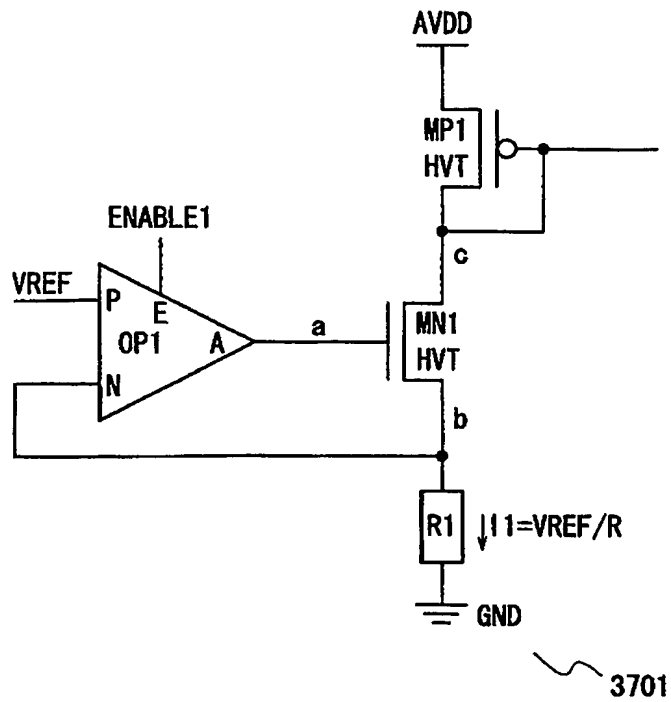
20 μ A	MP1
20 μ A	MN1
5 μ A	MP2
5 μ A	MN2
1nA	OP1/MP01
1nA	OP1/MN01
1nA	INV1/MP2
1nA	INV1/MP2
1nA	TBUF1/MP01
1nA	TBUF1/MP01

302

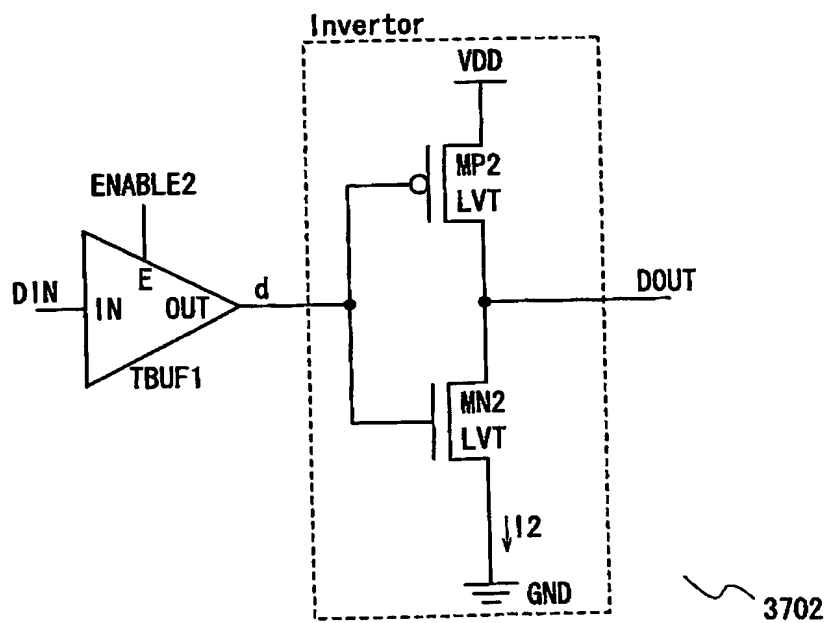
【図 3 6 (b)】



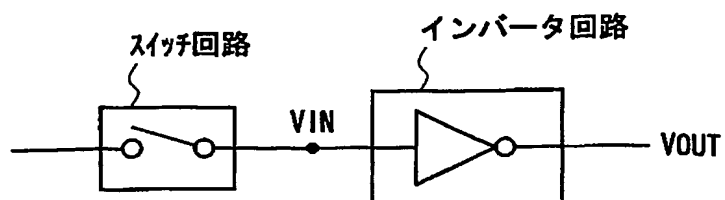
【図 37 (a)】



【図 37 (b)】



【図 38】



【書類名】 要約書

【要約】

【課題】 静止状態のアナログCMOS回路において、リーク電流が発生する可能性のある開放状態もしくはH i - ZとなっているMOSトランジスタのゲート端子や論理ゲートの入力端子が存在する場合、直流解析を実施しても、MOSトランジスタのゲート端子や論理ゲートの入力端子が擬似的に基準電圧に接続されるため、リーク電流の検出が困難であった。

【解決手段】 リーク電流検出対象ネットリストに含まれるMOSトランジスタのゲート端子あるいは論理ゲートの入力端子を抽出し、該MOSトランジスタのゲート端子あるいは論理ゲートの入力端子と電源の間、及び該MOSトランジスタのゲート端子あるいは論理ゲートの入力端子と基準電圧の間に、抵抗を挿入するネットリスト変換を施し、直流解析を実施することにより、リーク電流が発生する可能性のあるMOSトランジスタを検出する。

【選択図】 図 1

特願 2 0 0 3 - 3 4 6 1 8 5

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社